

# Circuito Digital para Redução da Sobreposição de Sinais num Detector de Partículas

Igo A. S. Luz, João Paulo B. S. Duarte, Eduardo F. Simas Filho, Paulo C. M. A. Farias, Luciano M. de Andrade Filho, e José M. de Seixas

**Resumo**—O fenômeno da sobreposição de sinais está relacionado à taxa de ocorrência dos eventos e ao tempo de resposta dos sensores. No âmbito dos detectores de partículas, o atual sistema de instrumentação do calorímetro hadrônico do ATLAS, um dos detectores do LHC, não é eficaz na reconstrução dos sinais afetados pela sobreposição. Nesse sentido, esse trabalho propõe a implementação de um circuito digital responsável pela reconstrução dos sinais provenientes deste calorímetro. A verificação funcional do circuito foi realizada através de um conjunto de dados simulados. A partir dos resultados, constatou-se que a solução proposta atendeu aos requisitos de funcionamento.

**Palavras-Chave**—FPGA, Filtro Digital, Deconvolução, Processamento de Sinais, Calorímetro.

**Abstract**—The pileup phenomenon is related to the rate of occurrence of the events and the response time of the sensors. In the field of particle detectors, the current ATLAS hadronic calorimeter instrumentation system, one of the LHC detectors, is not effective in the reconstruction of the signals affected by the pileup. This work proposes the implementation of a digital circuit responsible for the reconstruction of the ATLAS calorimeter signals. The functional verification of the circuit was performed through a simulated data set. The analysis of the results validated that the proposed solution met the functional requirements.

**Keywords**—FPGA, Digital Filter, Deconvolution, Signal Processing, Calorimeter.

## I. INTRODUÇÃO

A sobreposição da informação de eventos subsequentes, também conhecido como *pileup* ou empilhamento, é um fenômeno comumente encontrado em sistemas de instrumentação. Esse problema ocorre quando a frequência de ocorrência de eventos é mais rápida do que o tempo de resposta dos sensores responsáveis pela sua detecção. Com isso, contribuições de energia de eventos subsequentes se sobrepõem. Na física de altas energias esse efeito pode ser identificado nos sistemas eletrônicos dos calorímetros.

Calorímetros [1] são dispositivos utilizados para medir a energia das partículas à medida que interagem com o material do detector. No contexto da física de altas energias, temos o conjunto de calorímetros do ATLAS, um dos 6 detectores

I. A. S. Luz, E. F. Simas Filho e P. C. M. A. Farias, Laboratório de Sistemas Digitais, Escola Politécnica, Universidade Federal da Bahia, Salvador-BA, Brasil, E-mails: igoamauri@gmail.com, eduardo.simas@ufba.br, paulo.farias@ufba.br.

J. P. B. S. Duarte e L. M. de Andrade Filho, Departamento de Engenharia Elétrica, Universidade Federal de Juiz de Fora, Juiz de Fora-MG, Brasil, E-mails: luciano.andrade@engenharia.ufjf.br, joao.duarte@engenharia.ufjf.br.

J. M. Seixas, Laboratório de Processamento de Sinais COPPE/POLI, Universidade Federal do Rio de Janeiro, Rio de Janeiro-RJ, Brasil, E-mail: seixas@lps.ufrj.br.

de partículas do Grande Colisor de Hádrons (LHC) [2]. As informações de energia processadas pelos sensores dos calorímetros alimentam o sistema online de seleção de eventos de interesse (*trigger*) [3]. Com o intuito de avançar nas pesquisas, o LHC está em processo de atualização para aumentar a taxa e a energia das colisões.

No ambiente de funcionamento do calorímetro hadrônico do ATLAS [4], também conhecido por *TileCal*, o aumento da ocorrência de eventos provocará o *pileup*. Esse fenômeno provoca a distorção do padrão dos sinais, sendo assim, afetará diretamente a eficiência do sistema de *trigger*. O pulso típico dos sensores tem duração da ordem de 150 ns. Após a atualização, a frequência de ocorrência de colisões entre pacotes será de 40 MHz, ou seja, o tempo de ocorrência entre os sinais será de 25 ns. Logo, um mesmo sensor permanecerá sensibilizado por até 6 colisões em sequência. Na Figura 1 é ilustrado o efeito do empilhamento em um sensor do Calorímetro do ATLAS, onde o sinal em vermelho (identificado com quadrados) se sobrepõe ao sinal em preto (identificado com círculos), resultando no sinal roxo (identificado com triângulo) deformado por *pileup*. Nesse cenário, a eletrônica e as técnicas de estimação atualmente utilizadas tornam-se ineficientes no processo de identificação dos eventos de interesse. Por isso, os pesquisadores que formam a colaboração do ATLAS vem desenvolvendo alterações no sistema eletrônico do detector com o objetivo de atender aos requisitos das novas fases de atualização do LHC.

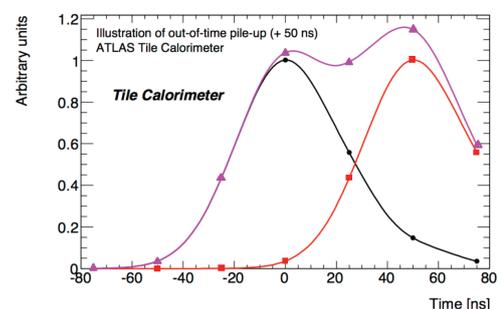


Fig. 1. Representação gráfica do empilhamento entre sinais. O sinal em vermelho (identificado com quadrados) se sobrepõe ao sinal em preto (identificado com círculos), resultando no sinal roxo (identificado com triângulo) [5].

Este trabalho tem como objetivo desenvolver uma solução em FPGA capaz de reduzir os efeitos de sobreposição de eventos no *TileCal*. Para isso, foram implementadas e comparadas diferentes técnicas de estimação de energia em *hardware* capazes de recompor o sinal original das amostras afetadas

pela sobreposição. O desenvolvimento dessa solução levou em consideração os requisitos de funcionamento da eletrônica embarcada no *TileCal*, como: dispositivo FPGA e tempo de processamento.

As técnicas de estimação de energia propostas baseiam-se na filtragem inversa, ou deconvolução. Nesse trabalho foram implementadas duas abordagens: uma forma direta baseada em filtros de resposta ao impulso finita (FIR) e outra iterativa. A primeira fundamentou-se numa abordagem determinística para projeto do filtro FIR [6] e a segunda baseou-se no método do Gradiente Descendente [7], através do Gradiente Descendente Positivo, que prioriza as amplitudes acima de um determinado limiar, zerando as energias abaixo do mesmo.

## II. MÉTODOS DE ESTIMAÇÃO DE ENERGIA PROPOSTOS

A arquitetura atual utiliza a técnica do Filtro Casado para estimar o valor de energia verdadeira [8]. Este método depende do conhecimento prévio da forma do pulso, dessa forma, seu desempenho não é adequado para a nova fase de operação do Calorímetro, uma vez que os sinais de energia serão distorcidos com o efeito do *pileup*. Logo, torna-se necessário propor técnicas mais eficientes de estimação da energia.

Na Figura 2 observa-se o diagrama que representa o modelo de distorção do sinal impulsivo no Calorímetro. Em que  $x[n]$  representa o sinal de energia referente a uma colisão,  $h[n]$  a resposta ao impulso do canal de medição do Calorímetro modelado,  $w[n]$  o ruído de medição e, por fim,  $y[n]$  o sinal resultante do processo de medição. Nessa abordagem, o problema consiste na recuperação de  $x[n]$  a partir do conhecimento de  $h[n]$  e  $y[n]$ .



Fig. 2. Modelo da sobreposição no Calorímetro.

Para efetuar a recuperação de  $x[n]$ , deve-se convoluir  $y[n]$  com  $g[n]$ , que representa a resposta ao impulso do canal inverso de  $h[n]$ . Sendo assim, o resultado desse processamento ( $v[n]$ ) será uma aproximação da entrada  $x[n]$ . A Eq. 1 ilustra essas relações.

$$y[n] = x[n] * h[n] \rightarrow v[n] = y[n] * g[n] \simeq x[n] \quad (1)$$

A abordagem determinística consiste em obter um filtro FIR por meio de uma aproximação do sistema inverso  $G(z)$  (Eq. 2) [6], [9] para realizar a deconvolução, ou seja, recuperar a informação de cada sinal de energia afetado pelo efeito da sobreposição. Através da modelagem da eletrônica do calorímetro como um sistema linear, foi possível obter um filtro inverso de resposta infinita. Os coeficientes do filtro inverso são encontrados a partir do pulso característico  $h[n]$  do detector. No domínio  $z$ , é possível buscar uma aproximação da resposta  $G(z)$ , por meio de um filtro FIR como visto em [10], consequentemente, os coeficientes utilizados para deconvoluir os sinais com sobreposição podem ser encontrado.

$$G(z) = \frac{1}{H(z)} \quad (2)$$

Dentre as diferentes estruturas de implementação de um filtro FIR, neste trabalho foi utilizada a forma transposta [11]. Em relação aos benefícios dessa arquitetura, afirma-se que não é necessário registrador de deslocamento extra para o  $x[n]$  e também não é necessário estágio extra de *pipeline* para os somadores do produtos [11].

A abordagem iterativa opera sobre uma janela de amostras e sua saída é formada a partir da solução de um sistema de equações lineares, que, a cada iteração, converge para a estimação desejada. O método iterativo implementado nesse trabalho foi o Gradiente Descendente Positivo [7].

A abordagem iterativa baseia-se na convolução discreta e linear descrita de forma matricial. A partir da utilização da matriz Toeplitz e da aplicação do mecanismo de iteração, obtém-se o equacionamento do Gradiente Descendente Positivo, apresentado na Eq. 3. Esse algoritmo é uma derivação do Gradiente Descendente, sendo este um método que parte da minimização do erro médio quadrático, apresentando-se como uma solução menos sensível ao erro. Na Eq. 3,  $iter$  representa o índice da iteração atual e  $\mu$  um fator de relaxamento real, escolhido de forma a otimizar a taxa de convergência do sistema [12].

$$\hat{x}^{iter+1} = \hat{x}^{iter} + \mu H^T (y - H \hat{x}^{iter}) \quad (3)$$

O algoritmo do Gradiente Descendente Positivo considera em seu processamento apenas amostras positivas do sinal a ser recuperado. Esse algoritmo é executado através do equacionamento matemático apresentado na Eq. 3, considerando que  $y$  seja um vetor de amostras. Sua particularidade consiste na anulação (atribui-se valor 0) de amostras com valores abaixo de determinado limiar antes de ser iniciada uma próxima iteração [12].

## III. ARQUITETURA DIGITAL PROPOSTA

Este trabalho tem como objetivo o desenvolvimento de um circuito digital em FPGA para a reconstrução dos sinais de energia do calorímetro Hadrônico do ATLAS afetados pelo efeito de *pileup*. O dispositivo utilizado foi o XC7VX485T da família Virtex-7 da Xilinx. Conforme as especificações da atualização do LHC, a frequência de ocorrência das colisões considerada foi de 40 MHz e todos os sinais de energia gerados devem ser reconstruídos antes de uma colisão subsequente.

O circuito projetado recebe os sinais digitais, transmitidos de modo serial, provenientes de 12 sensores e gera os sinais e saída também de forma serial. Na Figura 3 mostra-se a arquitetura de *hardware* proposta. Os elementos dentro da região tracejada pertencem ao escopo desse trabalho, os demais ilustram a interação externa com o hardware desenvolvido.

O “Configura Filtros” é um bloco que contém registradores de configuração utilizadas para configurar a operação dos filtros digitais e que podem ser alterados externamente pelo usuário. Os blocos “Conversor Serial/Paralelo” e “Paralelo/Serial” são responsáveis por fazer a conversão do sinal de entrada e do sinal de saída do sistema, respectivamente. O

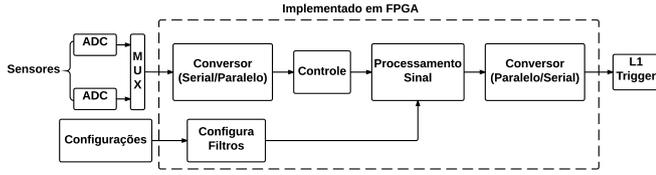


Fig. 3. Diagrama de blocos da arquitetura digital proposta.

bloco “Controle” garante que seja identificado de qual sensor a amostra convertida pertence, para que possa ser processada de acordo com as informações do seu respectivo canal. O “Processamento Sinal” representa a implementação do filtro digital em ambas as abordagens.

Para garantir o funcionamento de acordo com as especificações da atualização da eletrônica do calorímetro e extrair melhor performance do FPGA, foram implementadas diferentes técnicas de hardware, como o processamento em paralelo. O funcionamento do sistema foi dividido em três estágios que são executados de forma independente, são eles: conversão dos sinais de entrada de serial em paralelo; processamento das amostras de energia; conversão do sinal de saída de paralelo em serial. Com essa técnica, quando cada estágio finaliza o seu processamento, sua saída é armazenada em um registrador, ficando disponível para o estágio seguinte. Dessa forma, o bloco pode iniciar o processamento da amostra de um outro canal, independentemente do estado de processamento dos demais estágios.

#### A. Implementação do Método Determinístico

O projeto do hardware dessa técnica consiste na implementação da expressão que define o filtro FIR, apresentada na Eq. 4 [6]. Sendo  $L$  a representação da ordem do filtro. Através do bloco “Configura Filtros” é possível alterar a ordem de operação do filtro FIR externamente, sem a necessidade de reprogramá-lo. A ordem máxima suportada é 30.

$$y[n] = x[n] * h[n] = \sum_{k=0}^{L-1} h[k]x[n-k] \quad (4)$$

Foi projetada uma arquitetura do fluxo dos sinais de forma que fosse utilizada apenas uma instância FIR. Como pode ser observado na Figura 4, foram utilizados dois bancos de registradores para armazenar os resultados das operações de multiplicação e soma, logo, as amostras atrasadas de cada canal permanecem armazenadas para acessos posteriores. Com isso, pode-se reutilizar as estruturas aritméticas para efetuar o processamento das amostras de todos os sensores.

#### B. Implementação do Método Iterativo

A descrição da equação geral que define o algoritmo do Gradiente Descendente Positivo (Eq. 5) de forma direta em Verilog geraria um circuito não otimizado e ineficiente, exigindo tempo de processamento elevado. Para segmentar o processamento da informação a fim de alcançar os requisitos de tempo e ocupação do FPGA, decidiu-se dividir a Eq. 5 em 5 partes, executadas em pulsos de *clock* distintos. As expressões propostas estão apresentadas da Eq. 6 até Eq. 10.

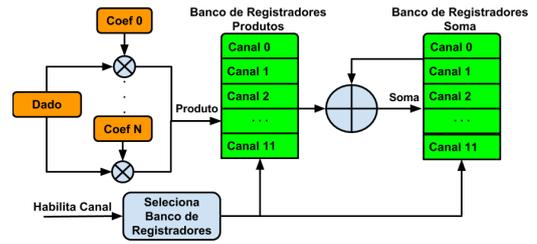


Fig. 4. Diagrama da arquitetura da implementação do filtro FIR.

$$\mathbf{X}^{iter+1} = \mathbf{X}^{iter} + \mu \mathbf{H}^T (\mathbf{y} - \mathbf{H} \mathbf{X}^{iter}) \quad (5)$$

$$Exp_1 = \mu \mathbf{H}^T \quad (6)$$

$$Exp_2 = \mathbf{H} \mathbf{X}^{iter} \quad (7)$$

$$Exp_3 = \mathbf{y} - Exp_2 \quad (8)$$

$$Exp_4 = Exp_2 \times Exp_3 \quad (9)$$

$$\mathbf{X}^{iter+1} = \mathbf{X}^{iter} + Exp_4 \quad (10)$$

O controle de fluxo da informação foi realizado através da implementação de uma Máquina de Estados Finita. Cada estado habilita a execução de uma das etapas do algoritmo.

Diante das características da equação que representa esse método, as amostras de energia processadas poderiam assumir valores negativos. Dessa forma, o valor de limiar definido foi zero. Com isso, exclui-se possíveis contribuições de energia negativas como resultado do processo de estimação das energias verdadeiras.

#### IV. RESULTADOS DE SIMULAÇÃO E SÍNTESE EM FPGA

O circuito proposto foi desenvolvido e validado em simulação e síntese para o dispositivo FPGA XC7VX485T da família Virtex-7 da Xilinx. Para a execução das simulações do *hardware* desenvolvido e a validação dos resultados encontrados foi utilizado um modelo em MATLAB que gera sinais com as características de operação do sistema eletrônico do *TileCal*, ou seja, gera os estímulos impulsivos referentes à cada colisão. Esse simulador tem como saída tanto sinais afetados pelo *pileup* como também as respectivas informações de energia verdadeira.

A validação do funcionamento do método determinístico foi realizada através da execução de simulações com diferentes cenários, alterando a ordem do filtro e utilizando o mesmo conjunto de sinais simulados. Os sinais de energia foram representados com 12 bits e os coeficientes com 18 bits, sendo esta resolução definida de acordo com análises preliminares dos valores simulados com o objetivo de reduzir as perdas de informação com a representação. As ordens definidas para a execução das simulações foram: 5, 10, 15 e 20. Para avaliar a reconstrução do sinal em FPGA, foi utilizado como modelo

de referência a função nativa do MATLAB que implementa o filtro digital FIR.

A performance na reconstrução dos sinais de energia foi medida através da análise do erro. Na Tabela I foram apresentados os resultados referentes à raiz quadrada do erro quadrático médio representados em *ADC Counts*. A segunda coluna da tabela apresenta o erro calculado a partir do resultado da simulação em FPGA e dos valores reais de energia extraídos do simulador. Na terceira estão demonstrados os valores de erro calculados a partir do resultado da reconstrução obtido com o modelo de referência e dos valores verdadeiros de energia extraídos do simulador. Por fim, na quarta coluna estão apresentados os resultados dos erros considerando os valores de sinais de energia reconstruídos a partir da simulação FPGA e do modelo de referência.

TABELA I  
RESULTADO DO ERRO DA IMPLEMENTAÇÃO FIR

Ordem do Filtro	FPGA	MATLAB	FPGA e MATLAB
Ordem 5	24.95	24.95	0.37
Ordem 10	19.86	19.85	0.45
Ordem 15	19.33	19.32	0.46
Ordem 20	19.21	19.20	0.47

Em relação ao método iterativo, também foram executadas simulações considerando o mesmo conjunto de sinais de energia simulados utilizados na simulação da implementação FIR. De acordo com os estudos realizados, o tamanho da janela em que o erro estabiliza no Gradiente Descendente Positivo é 25, portanto, nesse trabalho foi utilizado esse valor. Para avaliar o desempenho desse método foram realizadas simulações alterando a quantidade de iterações e utilizando o mesmo conjunto de informações de energia.

A partir dos resultados obtidos, esse algoritmo foi avaliado através da análise da raiz quadrada do erro quadrático médio. Na Tabela II foram apresentados os valores de erro, representados em *ADC Counts*, calculados entre o resultado da simulação do circuito em FPGA com os valores verdadeiros simulados e com o resultado do modelo de referência. Através desses resultados, observou-se que o erro estabiliza a partir de 50 iterações.

TABELA II  
RESULTADO DO ERRO DA IMPLEMENTAÇÃO ITERATIVA.

Iteração	FPGA	FPGA e MATLAB
10	9,52	0,10
20	9,06	0,10
30	8,88	0,08
40	8,82	0,07
50	8,79	0,06
60	8,78	0,06
70	8,78	0,06
80	8,78	0,06
90	8,79	0,06
100	8,79	0,06

### A. Resultados de Síntese

Além das simulações funcionais, foi desenvolvida a síntese em FPGA do projeto considerando ambos os métodos. O

relatório gerado na síntese do sistema com a implementação do método determinístico atestou que o caminho crítico envolvia as estruturas de DSP utilizadas nas operações aritméticas. Dessa forma, foi feita a síntese dessas estruturas em sua forma otimizada, com três estágios de *pipeline*, conseguindo, assim, reduzir o atraso do caminho crítico e alcançar um período mínimo do *clock* de 1,879 ns. A ocupação dos recursos lógicos do FPGA, *Slice Register* e estruturas de DSP, com a utilização da implementação do FIR está apresentada na Figura 5.

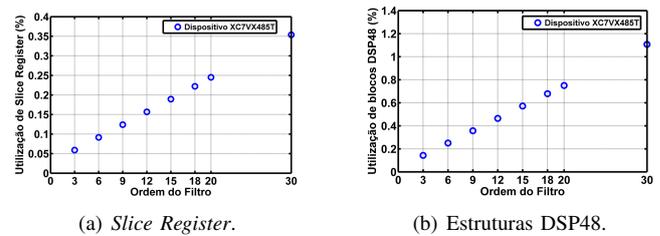


Fig. 5. Representação gráfica da utilização dos recursos lógicos.

Na Tabela III estão apresentadas as informações de consumo de potência de ambas as abordagens obtidas em nível de simulação. Na segunda coluna pode-se observar os resultados em relação à potência estática, na terceira a dinâmica, e, por fim, na quarta o consumo total.

TABELA III  
RESULTADO DE CONSUMO DE POTÊNCIA EM MW.

	Estática	Dinâmica	Total
Ordem 5	241,72	89,83	331,55
Ordem 10	241,92	112,65	354,57
Ordem 15	242,16	139,99	382,15
Ordem 20	242,53	181,13	423,66
Iterativo	243,67	307,18	550,85

Na descrição do hardware do Gradiente Descendente Positivo, a maior complexidade encontra-se na resolução da Eq. 7 e Eq.9, pois ambas envolvem multiplicações entre matrizes. Para melhorar a performance nesse quesito, executou-se a multiplicação e as somas para o cálculo de cada termo das matrizes resultantes em estados distintos da máquina de estados. Utilizando essa técnica, na síntese foi reportado que o caminho crítico do fluxo do sinal envolve as operações de multiplicação, conseqüentemente, as estruturas de DSP. Sendo assim, utilizou-se, também, essas estruturas em sua forma otimizada. Com essa abordagem alcançou um atraso do caminho crítico de 1,896 ns.

A complexidade do método iterativo impactou na utilização dos recursos do FPGA. As operações envolvendo matrizes, o tamanho da janela de amostras e a estratégia para reduzir o atraso do caminho crítico são alguns pontos que influenciaram diretamente no consumo dos recursos lógicos do dispositivo. Na Tabela IV estão apresentados os resultados em relação a utilização de *Slice Register*, *Slice LUTs* e instâncias de DSP. A expressiva ocupação dos blocos DSP deve-se à grande quantidade de operações de multiplicações que envolve esse método associada à necessidade da alta performance em relação ao tempo de processamento. Na Tabela III estão apresentados, também, os resultados referentes ao consumo de potência da

abordagem iterativa.

TABELA IV

UTILIZAÇÃO DOS RECURSOS LÓGICOS NO MÉTODO ITERATIVO.

Componente	Utilizado	Disponível	Utilização
Register	27738	607200	4%
LUTs	16036	303600	5%
DSPs	480	2800	17%

### B. Análise dos Resultados

Os resultados de temporização apresentados em ambas as abordagens apresentaram-se de forma satisfatória para cumprir o requisito de operação de 40 MHz do detector. O atraso do caminho crítico reportado em ambas as sínteses possibilita a execução dos circuitos com *clock* na faixa dos 531 MHz e 526 MHz. Com esse resultado, o projeto da abordagem determinística torna-se viável para processar as amostras de todos os sensores. Em relação a implementação do Gradiente Descendente Positivo, considerando a execução do algoritmo com janela de 25 amostras, o circuito torna-se viável para ser executado com até 20 iterações.

A reduzida taxa de utilização dos recursos lógicos do dispositivo FPGA foi possível devido a estratégia de compartilhar as estruturas de DSP. A técnica de paralelismo possibilitou a otimização temporal e, conseqüentemente, alcançar o requisito de tempo de operação, viabilizando o processamento das amostras de todos os canais dentro do intervalo de tempo entre a ocorrência de dois eventos subsequentes.

A partir da análise dos resultados apresentados, verificou-se que os métodos implementados atenderam aos requisitos de funcionamento da atualização da eletrônica do Calorímetro. Na Tabela V está apresentado um comparativo entre os principais resultados obtidos com a implementação de ambas as abordagens. Nessa tabela, em relação ao FIR foi considerado o filtro com ordem 20 e do Gradiente Descendente Positivo foi considerada a execução de 20 iterações. Em relação ao nível de reconstrução da informação de energia, o Gradiente Descendente Positivo apresentou melhor performance. O erro alcançado com 20 iterações é consideravelmente menor do que o obtido com a implementação do FIR. Em contrapartida, o tempo de processamento de uma amostra no filtro FIR é menor do que o tempo para o processamento da janela do iterativo. Em relação a ocupação do FPGA, o método iterativo exigiu maior utilização dos recursos lógicos, principalmente em relação aos DSPs, o que acarretou maior consumo de potência.

TABELA V

COMPARAÇÃO DOS RESULTADOS OBTIDOS.

	Determinístico	Iterativo
Erro	19,21	9,06
Período mínimo de <i>clock</i>	1,879 ns	1,896 ns
Slice LUTs	0,24 %	5 %
DSPs	0,75 %	17 %
Consumo de Potência	423,66 mW	550,85 mW

## V. CONCLUSÕES

Esse artigo apresenta uma arquitetura de hardware reconfigurável, desenvolvida em FPGA, responsável pela redução dos efeitos de sobreposição de eventos do calorímetro hadrônico do detector ATLAS. Para o desenvolvimento desse projeto, considerou-se os requisitos de funcionamento definidos pelos pesquisadores do ATLAS, como, por exemplo, o dispositivo FPGA utilizado e o tempo de processamento dos sinais. A técnica utilizada para a reconstrução do sinal foi a deconvolução. Foram consideradas duas abordagens, uma determinística, baseada em técnicas de filtro FIR e outra iterativa, através do algoritmo Gradiente Descendente Positivo. Essa solução propôs uma arquitetura otimizada com foco na redução de área, consumo de potência, utilização de estruturas DSP e tempo de processamento.

Os resultados alcançados com a implementação dessas técnicas em FPGA atestam a viabilidade em embarcar esses métodos no sistema eletrônico do *TileCal*. A partir do ponto de vista da recuperação do sinal de energia, a abordagem iterativa apresentou melhor eficiência.

### AGRADECIMENTOS

Os autores agradecem à FAPESB, FAPERJ, CAPES, CNPq e RENAFEA (MCTI) pelo apoio financeiro e à colaboração ATLAS pelas contribuições para o desenvolvimento deste trabalho.

### REFERÊNCIAS

- [1] R. Wigmans, *Calorimetry: Energy Measurement in Particle Physics*, 1st ed. Clarendon Press, 2000.
- [2] G. Aad, E. Abat, J. Abdallah *et al.*, "The ATLAS experiment at the cern large hadron collider," *Journal of Instrumentation*, vol. 3, no. 8, 2008.
- [3] E. F. de S. Filho, "Análise não-linear de componentes independentes para uma filtragem online baseada em calorimetria de alta energia e com fina segmentação," Ph.D. dissertation, Electrical Engineering Program / COPPE / UFRJ, Rio de Janeiro, BR, 2010.
- [4] C. W. Fabjan and F. Gianotti, "Calorimetry for particle physics," *Rev. Mod. Phys.*, vol. 75, pp. 1243–1286, Oct 2003. [Online]. Available: <http://link.aps.org/doi/10.1103/RevModPhys.75.1243>
- [5] P. Klimek, "Signal reconstruction performance with the ATLAS Hadronic Tile Calorimeter," CERN, Geneva, Tech. Rep. ATL-TILECAL-PROC-2012-007, Aug 2012. [Online]. Available: <https://cds.cern.ch/record/1473499>
- [6] R. G. Lyons, *Understanding Digital Signal Processing*, 3rd ed. Boston, MA, USA: Prentice Hall, 2011.
- [7] M. Elad, *Sparse and Redundant Representations: From Theory to Applications in Signal and Image Processing*, 1st ed. Springer-Verlag New York, 2010.
- [8] H. L. Van Trees, *Detection, estimation, and modulation theory*. John Wiley & Sons, 2001.
- [9] M. Gnanasekaran and M. Manikandan, "High throughput pipelined implementation of reconfigurable FIR filter for SDR," in *International Conference on Current Trends in Engineering and Technology (ICCTET)*, Coimbatore, India, Jan.3 2013, pp. 362–364.
- [10] J. P. B. da Silveira Duarte, L. M. de Andrade Filho, E. F. de Simas Filho, and J. M. de Seixas, "Técnicas de deconvolução aplicadas à estimação de energia online em calorimetria de altas energias em condições de alta taxa de eventos," *Anais do XXI Congresso Brasileiro de Automática - CBA2016*, pp. 2612–2617, 2016.
- [11] U. Meyer-Baese, *Digital Signal Processing with Field Programmable Gate Arrays*, 3rd ed. Tallahassee, Florida, USA: Springer, 2007.
- [12] J. P. B. S. Duarte, "Estudo de técnicas de deconvolução para reconstrução de energia online no calorímetro hadrônico do ATLAS," Master's thesis, Programa de Pós Graduação em Engenharia Elétrica / UFJF, 2015.