

# Nova Arquitetura de Demodulador $\pi/3$ -BPSK para os Satélites do Sistema Brasileiro de Coleta de Dados

Flavia Vasconcelos Maia<sup>1</sup>, Antonio Macilio Pereira de Lucena<sup>1,2,3</sup> e Francisco de Assis Tavares Ferreira da Silva<sup>1,2</sup>

**Resumo**— Este artigo apresenta o projeto de uma nova arquitetura de demodulador  $\pi/3$ -BPSK totalmente digital a ser utilizado como parte de um transponder regenerativo de bordo, o qual está sendo desenvolvido para modernização do Sistema Brasileiro de Coleta de Dados. Este demodulador apresenta características inovadoras, pois além de ser uma solução totalmente digital, com processamento sobre o sinal discreto, os circuitos de recuperação de portadora e de sincronização de símbolo são inéditos para esta aplicação. O trabalho também apresenta os resultados de desempenho, em termos de taxa de erros de bits e de tempo de aquisição, obtidos através de simulação computacional. As medidas demonstram que a arquitetura proposta atende com certa margem as especificações do sistema, tanto para o tempo de sincronização como também para a taxa de erros de bits, ficando apenas 1 dB abaixo do limite teórico na condição em que a taxa de erros de bits é  $10^{-4}$ .

**Palavras-Chave**—Demodulador  $\pi/3$ -BPSK, PCD, SBCD, sincronismo de símbolo, recuperação de portadora, transponder regenerativo.

**Abstract**— This paper presents the design of a new fully digital  $\pi/3$ -BPSK demodulator architecture to be used as part of an on-board regenerative transponder, which is being developed for the modernization of the Brazilian Data Collection System. This demodulator has innovative features because besides having an architecture implemented via discrete signal processing, the carrier recovery circuits and the symbol synchronization circuits are unprecedented for this application. The work also presents the performance results, in terms of bit error rate and acquisition time, obtained through computational simulation. The measurements demonstrate that the proposed architecture meets the system specifications for both the synchronization time as well as the bit error rate, being only 1 dB below the theoretical limit in the condition where the bit error rate is  $10^{-4}$ .

**Keywords**— Demodulator,  $\pi/3$ -BPSK, PCD, SBCD, symbol synchronization, carrier recover, regenerative transponder.

## I. INTRODUÇÃO

O Sistema Brasileiro de Coleta de Dados (SBCD), desenvolvido e operado pelo Instituto Nacional de Pesquisas Espaciais (INPE), é composto do segmento solo e do segmento espacial, e tem como função retransmitir informações ambientais relevantes do território brasileiro, tais como: dados de hidrologia, de meteorologia, de oceanografia, sobre a qualidade d'água, sobre a química de atmosfera, dentre outras. O sistema atualmente possui mais de 1.000 Plataformas de Coleta de Dados (PCDs), espalhadas pelo país, que transmitem as informações para os Satélites de Coleta de Dados (SCD-1 e

SCD-2) e para o satélite CBERS [1]. Os transponders de coleta de dados atuais funcionam como repetidores analógicos e retransmitem os sinais para as estações de recepção em solo, de Cuiabá e de Alcântara, que por sua vez enviam os dados para processamento no Centro de Missão em Natal, RN [2].

Devido à transmissão simultânea de vários sinais das PCDs, situadas em diversas localizações geográficas, os sinais chegam ao transponder no satélite em instantes de tempos aleatórios e com diferentes desvios em frequência, devido ao efeito Doppler. Desse modo, o enlace espacial do sistema pode ser modelado como um canal multiusuário com desvio Doppler e ruído AWGN (Do inglês, *Additive White Gaussian Noise*).

A proposta deste trabalho é o desenvolvimento de um demodulador  $\pi/3$ -BPSK totalmente digital como parte de um transponder regenerativo multicanal do SBCD, que deve implementar a demodulação e processamento dos sinais das PCDs a bordo do satélite.

O demodulador proposto utiliza um recuperador de portadora cuja arquitetura é inédita para aplicação com sinais  $\pi/3$ -BPSK. Por causa do curto intervalo de tempo especificado para recuperação dos bits, o sincronizador de símbolos utilizado é diferente das estruturas de sincronizadores consagradas na literatura para processamento discreto, tais como Gardner e Early-late [3,4]. Devido a esta nova abordagem, o desempenho do demodulador em termos de taxa de erros de bits é superior as versões atuais em operação [5]. A arquitetura do demodulador  $\pi/3$ -BPSK proposto está apresentada em termos de diagramas de blocos e equações.

O trabalho está organizado da seguinte maneira: na Seção II, descreve-se a arquitetura do demodulador, detalhando-se cada módulo funcional do sistema. Na Seção III, apresentam-se os resultados da avaliação de desempenho através de simulações computacionais, com algumas discussões. Na Seção IV, apresentam-se as conclusões do trabalho e as perspectivas futuras.

## II. DESCRIÇÃO DO SISTEMA E ANÁLISES

### A. Visão Geral do Transponder Regenerativo

A Figura 1 representa o diagrama de blocos funcional do transponder regenerativo. A proposta do sistema é viabilizar o processamento dos sinais das PCDs, de modo que o novo transponder será capaz de verificar a integridade dos dados das PCDs recebidas, pelo processamento do CRC (do inglês, *Cyclic Redundancy Check*), descartar dados incorretos, gerar frame com todos os dados de PCDs de uma passagem e transmitir o frame para o segmento solo.

Programa de Pós-Graduação em Engenharia de Telecomunicações do Instituto Federal de Educação, Ciência e Tecnologia do Ceará (IFCE)<sup>1</sup> Instituto Nacional de Pesquisas Espaciais (INPE-Eusébio CE)<sup>2</sup>, Universidade de Fortaleza (UNIFOR)<sup>3</sup>, Brasil, e-mails: [flavia.maia@outlook.com.br](mailto:flavia.maia@outlook.com.br), [antonio.lucena@inpe.br](mailto:antonio.lucena@inpe.br), [francisco.silva@inpe.br](mailto:francisco.silva@inpe.br).

Neste contexto, o sistema, conforme indicado na Figura 1, iniciará com o processo de seleção dos canais e estimativa das frequências de cada PCD para alocar aos demoduladores. Os demoduladores por sua vez, serão responsáveis por completar a aquisição da portadora da PCD, sincronização dos símbolos recebidos e por fim detecção de bits. As informações serão enviadas ao processador de dados de PCDs para decodificação e checagem de erro através do CRC, que fará apenas a detecção de erros para possível descarte dos dados incorretos. Em seguida os dados serão armazenados temporariamente num *buffer*, tipo *FIFO* (do inglês, *First In. First Out*), até que sejam coletadas todas as mensagens recebidas das PCDs, durante a visada corrente do satélite. Em seguida, o processador formatará as mensagens em um *frame* e enviará ao transmissor (TX), que, por sua vez, transmitirá os dados ao segmento solo [6].

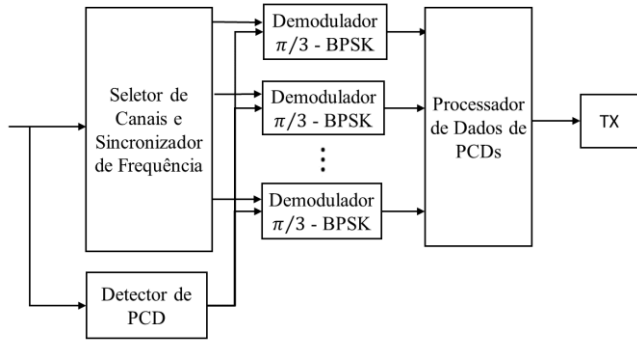


Fig. 1. Diagrama de blocos do transponder regenerativo. Fonte [6]

### B. Modelagem do Sinal

Os sinais transmitidos pelas PCDs consistem em uma portadora com modulação  $\pi/3$ -BPSK, taxa de bits 400 bps, frequência de 401,62 MHz e largura de banda de 60 kHz. Os dados antes da modulação são codificados no formato de *Biphase-L*, dobrando a taxa de *chip* original. O satélite recebe os sinais oriundos das PCDs com acréscimo de ruído, cuja densidade espectral de potência é igual a -173 dBm/Hz, deslocamento Doppler máximo de 9 kHz e potência na faixa de -108 a -126 dBm [2] para uma taxa de erro de bits igual a  $10^{-4}$ .

O modelo discreto do sinal com modulação de cada PCD, na entrada do demodulador, pode ser expresso da seguinte maneira:

$$r[n] = \frac{\sqrt{3}A}{2} b[n] \cos(\omega_c n + \theta_c[n]) + \frac{A}{2} \sin(\omega_c n + \theta_c[n]) + w[n], \quad (1)$$

em que  $A$  é a amplitude do sinal recebido,  $\omega_c$  representa frequência discreta da portadora,  $b[n]$  é o sinal em banda base,  $\theta_c[n]$  corresponde a fase da portadora,  $w[n]$  indica o ruído AWGN com variância  $N_D$ . Por outro lado, o sinal em banda base é dado por

$$b[n] = \sum_{k=-\infty}^{\infty} a[k] P[n - kN_T - N_\tau], \quad (2)$$

em que  $a[k] \in \{-1, 1\}$  são os símbolos BPSK transmitidos no  $k$ -ésimo período,  $N_T$  representa o atraso de símbolo e  $P[n]$  é o pulso Manchester discreto definido por

$$P[n] = \begin{cases} 1, & 0 \leq n < T/2T_s, \\ -1, & T/2T_s \leq n \leq T/T_s, \end{cases} \quad (3)$$

com duração  $N_T = T/T_s$ , sendo  $T$  o período de símbolo e  $T_s$  o período de amostragem. O atraso de símbolo é provocado pelo tempo de propagação do sinal transmitido. A fase da portadora pode ser modelada conforme,

$$\theta_c[n] = \theta_0 + v_D n, \quad (4)$$

em que,  $\theta_0$  é uma fase desconhecida e  $v_D$  representa um resíduo da frequência Doppler, que corresponde a um valor máximo de  $\pm 5$  Hz. A maior parte do deslocamento Doppler foi corrigido pelo estimador de frequência do transponder regenerativo conforme descrito na seção anterior. Por outro lado, a fase desconhecida  $\theta_0$  decorre de um possível desvio de frequência e fase, provenientes do enlace espacial.

A estrutura da mensagem de uma PCD é representada na Tabela abaixo:

TABELA I. ESTRUTURA DAS MENSAGENS DAS PCDs [2]

Portadora Pura	Portadora Modulada						
160 ms	A	B	C	D	E	F	G
Portadora Pura (Início)				160 ms			
Estrutura da Mensagem							
A – Sincronização de Bits				15 bits “1” = 37,5 ms			
B – Sincronização da Palavra				8 bits (“00010111”)			
C – Inicialização da Mensagem				1 bit “1”			
D – N° de Blocos de 32 bits ( $N_b$ )				4 bits ( $N_b = 1, 2, \dots, 8$ )			
E – Identificação da PCD				20 bits			
F – Dados dos Sensores				32* $N_b$			
G – CRC (opcional)				8 bits			

Os sinais recebidos pelo satélite possuem duração entre 360 a 920 ms, com período inicial de 160 ms, quando a portadora está sem modulação, reservado para sincronização de frequência e fase. Destaca-se que os 37,5 ms seguintes da mensagem, conforme descrito na Tabela 1, são atribuídos para sincronismo de símbolo e corresponde a 15 bits “1”.

### C. Arquitetura Proposta

O diagrama de blocos funcional do demodulador  $\pi/3$ -BPSK é apresentado na Figura 2.

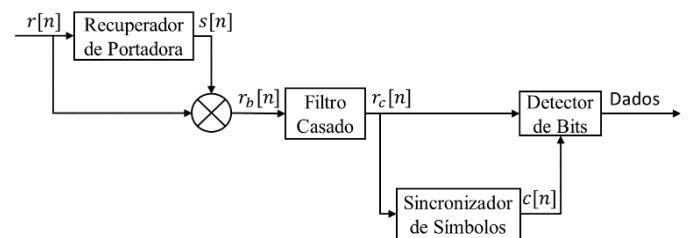


Fig. 2. Diagrama de blocos do demodulador proposto

O módulo recuperador de portadora deriva uma réplica da portadora recebida,  $s[n]$ , a partir do sinal  $r[n]$ .

O multiplicador que segue o recuperador de portadora efetua a conversão do sinal recebido, derivando o sinal  $r_b[n]$ , que contém o sinal em banda base e a portadora modulada na frequência  $2\omega_c$ , a qual será filtrada no estágio seguinte.

Para maximizar a relação sinal-ruído, foi utilizado um filtro casado para o sinal  $r_b[n]$ . O sinal de saída é denotado por  $r_c[n]$ .

O sincronizador de símbolo recebe  $r_c[n]$  do filtro casado e gera uma onda quadrada, denotada por  $c[n]$ , que está sincronizada com o início e término dos símbolos e representa o *clock* do sistema.

Os sinais  $r_c[n]$  e  $c[n]$  são entregues ao módulo detector de bit que, a partir destes, faz a detecção dos bits e entrega a sequência de dados ao processador do transponder.

#### D. Recuperador de Portadora

O módulo recuperador de portadora, indicado na Figura 3, tem como função estimar a fase da portadora e eventualmente algum *offset* de frequência e, a partir das estimativas, gerar uma réplica da portadora recebida, representada por  $s[n]$ .

É interessante destacar que a malha de Costas clássica para sincronização de portadora com modulação BPSK [7] não funciona para modulação  $\pi/3$ -BPSK. A arquitetura adotada é uma variante de uma malha de Costas discreta modificada, concebida para recuperação de portadoras com modulação QPSK [8,9]. Nossa contribuição, para o funcionamento da malha com sinais  $\pi/3$ -BPSK, foi o acréscimo dos ganhos  $g_3$  e  $g_4$  na saída dos limitadores nos braços  $I$  e  $Q$  da malha, respectivamente.

O sinal de entrada  $r[n]$  é multiplicado em ambos os *mixers*, e os sinais convertidos são filtrados nos braços  $I$  e  $Q$  da malha pelos filtros passa-baixas, para supressão da segunda harmônica. Os filtros passa-baixas são filtros discretos com resposta infinita e frequência de corte equivalente a 800 Hz.

Os sinais resultantes  $I[n]$  e  $Q[n]$ , nas saídas destes filtros, são utilizados para gerar o sinal de erro  $e[n]$ , que depois de filtrado pelo filtro de malha, controla a fase e a frequência das formas de onda seno e cosseno geradas pelo oscilador controlado numericamente (NCO) e utilizadas para fechar a malha por meio dos dois *mixers* de entrada. A portadora recuperada é expressa por:

$$s[n] = \cos(\omega_c n + \hat{\theta}_c[n]), \quad (5)$$

em que  $\hat{\theta}_c[n]$  representa a estimativa de fase e frequência.

#### Determinação da curva $S$ da malha

Considerando desprezível a parcela de ruído  $w[n]$  na Eq. (1), os sinais  $I[n]$  e  $Q[n]$  na saída dos filtros passa-baixas são dados por

$$I[n] = \frac{A}{4} \sin(\phi) + \frac{\sqrt{3}A}{4} b[n] \cos(\phi), \quad (6)$$

$$Q[n] = -\frac{A}{4} \cos(\phi) + \frac{\sqrt{3}A}{4} b[n] \sin(\phi), \quad (7)$$

em que  $\phi = \{\theta_c[n] - \hat{\theta}_c[n]\}$  é o erro de fase da malha. Supondo  $\phi$  menor do que  $\pi/10$ , nas saídas dos limitadores, em cada braço da malha, tem-se os seguintes sinais:

$$Sgn\{I[n]\} = b[n] \text{ e } Sgn\{Q[n]\} = -1 \quad (8)$$

em que  $Sgn\{x\}$  é igual 1 se  $x \geq 0$  e é igual a -1 se  $x < 0$ . Portanto, conforme indicado na Fig. 3, o sinal de erro pode ser expresso por

$$e[n] = g_0 g_3 Sgn\{I[n]\} Q[n] - g_0 g_4 Sgn\{Q[n]\} I[n], \quad (9)$$

que resulta em

$$\begin{aligned} e[n] &= \frac{g_0 A (\sqrt{3} g_3 + g_4)}{4} \sin(\phi) \\ &+ \frac{g_0 A (\sqrt{3} g_4 - g_3)}{4} b[n] \cos(\phi), \end{aligned} \quad (10)$$

substituindo as Eq. (6), (7) e (8) na Eq. (9).

A curva  $S$  é definida como sendo [4]

$$S(\phi) = E\{e[n]|\phi\}, \quad (11)$$

em que  $E\{e[n]|\phi\}$  representa a média estatística de  $e[n]$  dado  $\phi$ . Atribuindo-se  $g_3 = \sqrt{3}$  e  $g_4 = 1$ , obtém-se

$$S(\phi) = g_0 A \sin(\phi). \quad (12)$$

Reconhecendo ainda que  $\phi \ll 1$ , na condição de rastreamento da malha, e ajustando-se o ganho  $g_0$  para normalizar a inclinação da curva  $S$ , resulta  $S(\phi) = \phi$ .

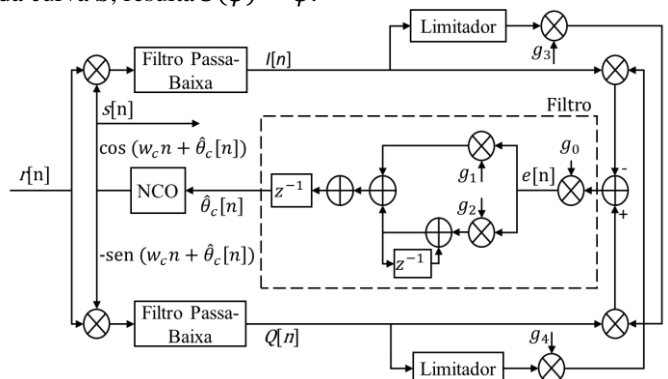


Fig. 3. Diagrama de blocos do recuperador de portadora.

#### Projeto da malha de Costa

A malha discreta representada na Fig. 3 pode ser aproximada por um sistema linear de segunda ordem cuja função do sistema é [4,10]

$$H(z) = \frac{\hat{\theta}_c[z]}{\theta_c[z]} = \frac{(g_1 + g_2)z - g_1}{z^2 - (g_1 + g_2 - 2)z + (1 - g_1)}, \quad (13)$$

em que  $g_1$  e  $g_2$  são os ganhos do filtro de malha que definem a frequência natural  $\omega_n$ , e o fator de amortecimento  $\zeta$  da malha analógica equivalente.

Adotando como tempo de regime  $t_s = 140$  ms e  $\zeta = 0,707$ , e usando-se a seguinte aproximação [11]:

$$t_s \cong \frac{4}{\omega_n \zeta}, \quad (14)$$

determina-se  $\omega_n = 40,41$ . Os ganhos  $g_1$  e  $g_2$  são determinados pelas seguintes equações [12]:

$$g_1 = 1 - e^{2\zeta\omega_n T_s} \quad (15)$$

$$g_2 = 1 + e^{2\zeta\omega_n T_s} - e^{2\zeta\omega_n T_s} \cos\left(\omega_n T_s \sqrt{1 - \zeta^2}\right), \quad (16)$$

que resulta em  $g_1 = 2,85 \times 10^{-4}$  e  $g_2 = 4,08 \times 10^{-8}$ .

#### E. Conversor para banda-básica

Este módulo é implementado por um simples multiplicador. O sinal de saída,  $r_b[n]$ , é o resultado do produto dos sinais  $r[n]$

e  $s[n]$ . Supondo que a portadora recuperada esteja perfeitamente sincronizada, o sinal  $r_b[n]$  pode ser descrito por:

$$r_b[n] = \frac{\sqrt{3}A}{4}b[n] + \frac{\sqrt{3}A}{4}b[n]\cos(2\omega_c n + 2\theta_c[n]) - \frac{A}{4}\sin(2\omega_c n + 2\theta_c[n]) + w[n]\cos(\omega_c n + \theta_c[n]). \quad (17)$$

Na equação acima, observa-se que o primeiro termo representa o sinal de banda-básica, e contém as informações transmitidas, o segundo e terceiro termos estão centrados na frequência  $2\omega_c$  e precisam ser eliminados antes da detecção de bits, e finalmente, o último termo corresponde a parcela de ruído Gaussiano.

#### F. Filtro casado

A resposta impulsiva do filtro casado é um pulso Manchester discreto, exatamente como está definido pela Eq. 3. Ele maximiza a relação sinal-ruído e também elimina os sinais em torno de  $2\omega_c$  presentes no sinal  $r_b[n]$ . O sinal de saída pode ser representado por

$$r_c[n] = \frac{\sqrt{3}A}{4}b[n] * P[n] + z[n], \quad (18)$$

em que o asterisco representa a convolução discreta,  $P[n]$  é a resposta impulsiva do filtro casado (dada pela Eq. 3) e  $z[n]$  é o ruído Gaussiano. Neste ponto do sistema, a taxa de amostragem ainda continua sendo  $F_s=1/T_s$ , de forma que o sinal  $r_c[n]$  contém  $N_T$  amostras por símbolo.

#### G. Sincronizador de símbolo

O módulo sincronizador de símbolo recebe o sinal  $r_c[n]$  para gerar um sinal  $c[n]$ , sincronizado com os símbolos recebidos. O *clock*  $c[n]$  é repassado ao módulo detector de bits para completar o processo de detecção das informações transmitidas.

O diagrama de blocos do sincronizador de símbolo está mostrado na Fig. 4. A solução adotada é uma versão modificada do sincronizador quadrático [13,14] em que a não-linearidade (NL)  $x^2$  é substituída por  $|x|$ . O sinal  $r_c[n]$ , ao passar pela NL, gera uma raia espectral na frequência  $w_T$ , que corresponde a frequência analógica  $1/T$ . O sinal resultante  $c_N[n]$ , contendo a raia espectral, é filtrado por um filtro passa-faixa (FPB) estreito, centrado em  $w_T$  com largura de banda  $B_T = w_T/10$ . Como o FPB é estreito, apenas a raia espectral desejada e parte do ruído contínuo, em torno de  $w_T$  e presente em  $c_N[n]$ , passarão pelo filtro. O sinal  $c_F[n]$  na saída do filtro é uma cossenóide com a mesma frequência e fase da raia espectral que pode ser expressa por

$$c_F[n] = V[n]\cos(w_T n + \varphi[n]), \quad (19)$$

em que  $V[n]$  e  $\varphi[n]$  são a amplitude e a fase de  $c_F[n]$ , respectivamente. A amplitude e a fase da raia recuperada não são constantes, sofrem alguma flutuação em decorrência da parcela de ruído contida em  $c_N[n]$ . A determinação da estatística destas flutuações ainda é matéria de estudos nesta pesquisa. A cossenóide  $c_F[n]$  é transformada em uma onda quadrada  $c[n]$  pela ação do módulo limitador.

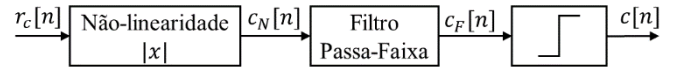


Fig. 4. Diagrama de blocos do sincronizador de símbolo.

Nesta arquitetura de sincronizador, por causa do fator de sobreamostragem elevado ( $N_T \gg 1$ ), não é necessário o uso de interpoladores para determinação da melhor amostra para decisão, como é feito em [4,13].

#### H. Detector de Bits

O diagrama de blocos do módulo detector de bits está mostrado na Fig. 5. O sinal de entrada  $r_c[n]$  passa por um subamostrador que escolhe uma amostra por símbolo, sob o controle da subida do *clock*  $c[n]$ , para gerar o sinal  $r_c[k]$ . Note que a subida de  $c[n]$  indica o início e o final de cada símbolo. A decisão sobre o bit recebido é feita pelo limitador. O bit estimado será considerado “1” quando  $r_c[k]$  for maior ou igual a zero, e será “0” se  $r_c[k]$  for menor do que zero.

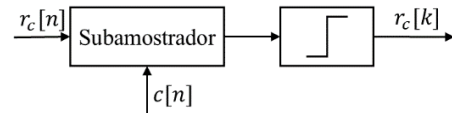


Fig. 5. Diagrama de blocos do detector de bits.

A arquitetura de demodulador proposta implementa o receptor ótimo para o canal AWGN. Entretanto, por causas das imperfeições nas estimativas dos parâmetros de sincronismo, como será apresentado nos resultados, há uma pequena perda, em termos de taxa de erro de bits, com relação ao receptor ideal.

### III. RESULTADOS E DISCUSSÕES

Nesta seção, apresentam-se alguns resultados de desempenho do demodulador  $\pi/3$ -BPSK proposto, obtidos via simulação computacional. Foram avaliados a taxa de erro de bits e o tempo de aquisição para o sincronismo de portadora e de símbolo.

Resumem-se abaixo os valores dos principais parâmetros utilizados no modelo:

- Frequência da portadora:  $f_c = 50$  kHz;
- Taxa de símbolo:  $1/T = 400$  bps;
- Frequência de amostragem:  $F_s = 200$  kHz ;
- Energia de bit por densidade de ruído:  $5 \text{ dB} \leq E_b/N_0 \leq 30$  dB;
- Offset de fase: 0 a  $2\pi$ ;
- Offset de atraso: 0 a  $T$ ;
- Offset da frequência da subportadora:  $\pm 5$  Hz .

#### A. Taxa de erro de bit

Algumas curvas da taxa de erro de bit (BER) do demodulador estão mostradas Fig. 6. A Curva 1 indica o desempenho teórico da modulação BPSK. A Curva 2 corresponde a condição de *offset* nulo para frequência, fase e atraso de símbolo. Por fim, a Curva 3 mostra a BER do demodulador com *offset* de frequência igual a 5 Hz e atraso de símbolo igual a  $T/2$ . Na condição de taxa de erros de bits igual a  $10^{-4}$  e sem desvio Doppler, o demodulador proposto tem um ganho de 1,8 dB em relação ao sistema atual em operação [5].

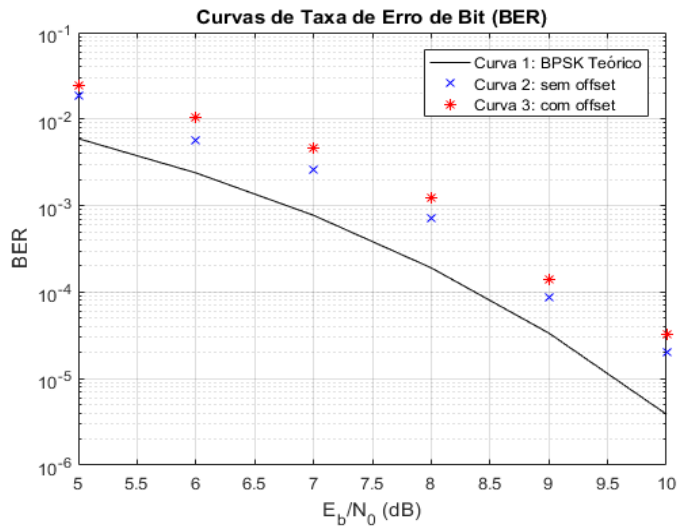


Fig. 6. Curvas da taxa de erro de bit do demodulador

### B. Tempo de aquisição

A Fig. 7 mostra a curva do transitório de fase da malha de Costas modificada para um degrau de fase de  $\pi/3$  na condição em que  $E_b/N_0 = 30$  dB. Observa-se que o tempo de regime ( $t_s$ ) é inferior a 140 ms, de forma que a especificação de projeto para aquisição de portadora em 160 ms é cumprida (Tab. 1).

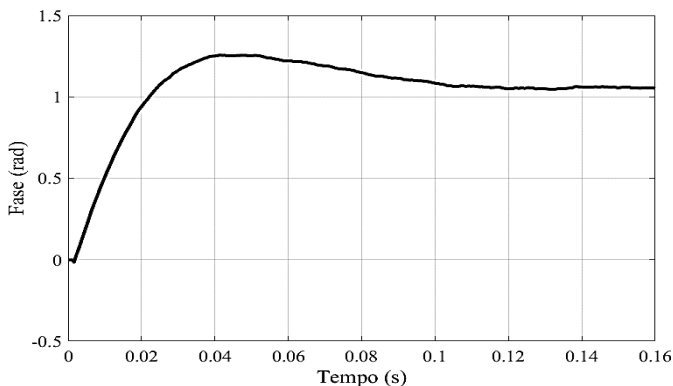


Fig. 7. Resposta transitória da malha para um degrau de fase

Medidas do transitório da saída do filtro passa-faixa do sincronizador de símbolo e a forma de onda do sinal  $c[n]$  indicam sua estabilização em intervalo de tempo menor do que 4 bits. Portanto a sincronização ocorre em um tempo bem menor do que os 16 bits especificados.

## IV. CONCLUSÃO

Neste artigo, foi apresentado o projeto de um demodulador  $\pi/3$ -BPSK coerente, com arquitetura definida por *software*, destinado à aplicação nos satélites de coleta de dados do INPE, como parte do novo transponder regenerativo de bordo. Os diagramas de blocos e equações de todos os módulos funcionais do demodulador, juntamente com algumas análises matemáticas, foram apresentados para explicar a funcionalidade dos módulos.

Os resultados da simulação computacional demonstram que as soluções adotadas para a recuperação da subportadora e o sincronismo de símbolo permitem a sincronização do sistema em intervalo e tempo inferior ao que foi especificado, além de provocar pouco impacto na relação  $E_b/N_0$ .

Na pior situação operacional, quando existe *offset* de frequência e atraso de símbolo o desempenho do demodulador proposto, em termos de BER, é menos de 1,0 dB inferior ao limite teórico, na condição de BER = 10<sup>-4</sup>.

Embora este trabalho demonstre que arquitetura proposta apresenta boa performance, novas estudos estão sendo desenvolvidas para determinação analítica do desempenho de cada módulo e do sistema como um todo.

## V. REFERÊNCIAS

- [1] A. Tikami, C. A. Ferrari, M. V. Cisotto e W. Yamaguti, "O desempenho do processador de coleta de dados versão III nas estações de recepção do Sistema Brasileiro de Coleta de Dados", *XVI Simpósio Brasileiro de Sensoriamento Remoto - SBSR*, 13 a 18 abril 2013.
- [2] J. C. Pécala, "Detector de Sinais para os satélites Do Sistema Brasileiro de Coleta de Dados usando Análise Espectral Digital", Dissertação de Mestrado, Instituto Tecnológico de Aeronáutica, 2005.
- [3] F. M. Gardner, "A BPSK/QPSK timing-error detector for sampled receivers", *IEEE Transactions on communications*, vol. 34, n° 5, pp. 423-429, 1986.
- [4] U. Mengali, "Synchronization techniques for digital receivers", *Springer Science & Business Media*, 2013.
- [5] M. V. Cisotto, "Proposta de simulador/emulador para avaliação para avaliação e testes do processador do Sistema Brasileiro de Coleta de Dados", Dissertação de Mestrado, Instituto Nacional de Pesquisas Espaciais (INPE), 2012.
- [6] F. A. T. F. Silva, A. M. P. Lucena. Desenvolvimento de transponder regenerativo. Relatório de pesquisa, Instituto Nacional de Pesquisas Espaciais - INPE, a ser submetido.
- [7] J. G. Proakis e M. Salehi, *Digital Communication*, 5. ed, McGraw-Hill, 2008.
- [8] M. R. Raghavendra et al., "Design and development of high bit rate QPSK demodulator", *Electronics, Computing and Communication Technologies (CONECCT)*, 2013.
- [9] M. Tytgat, M. Steyaert e P. Reynaert, "Time Domain Model for Costas Loop Based QPSK", *8th Conference on Ph.D. Research in Microelectronics & Electronics*, pp. 1-4, 2012.
- [10] W. C. Lindsey e C. M. Chie, "A survey of digital phase-locked loops", *Proceedings of the IEEE*, vol. 69, n° 4, pp. 410-431, 1981.
- [11] F. M. Garder, "Phaselock Techniques", *John Wiley & Sons*, 2005.
- [12] W. Li e J. Meiners, "Introduction to phase-locked loop system modeling", *Analog Applications*, 2000.
- [13] M. Oerder. e H. Meyr, "Digital filter and square timing recovery", *IEEE Transactions on communications*, vol. 36, n° 5, pp. 605-612, 1988.
- [14] A. M. P. Lucena et al., "Fully digital BPSK demodulator for satellite suppressed carrier telecommand system", *International Journal of Satellite Communications and Networking*, vol. 35, n° 4, pp. 359-374, 2017.