

Receptor BFSK Integrado para HBC baseado na técnica de Injection Locking

Marinel Borges Almedia e Maicon D. Pereira

Resumo—A comunicação pelo corpo humano (HBC) é um método de comunicação sem fio para redes corporais que apresenta vantagens com respeito ao consumo, segurança e interferência sobre outros métodos baseados em radiação. Neste trabalho são descritos o projeto e as simulações pós-leiute de um receptor para HBC com acoplamento capacitivo desenvolvido em tecnologia CMOS 180 nm capaz de demodular sinais BFSK utilizando uma arquitetura que realiza a conversão frequência-fase explorando o fenômeno de *injection locking*. Os resultados demonstram a funcionalidade do receptor para operação na faixa entre 40-60 MHz, com taxas de dados de até 5 Mbps, consumo entre 0,74 mW e 1,58 mW e eficiência de comunicação entre 148 pJ/bit e 316 pJ/bit, com alimentação de 1,5 V e 1,8 V, respectivamente.

Palavras-Chave—BAN, redes corporais, comunicação pelo corpo humano, injeção por travamento, baixo consumo.

I. INTRODUÇÃO

Os avanços frequentes no desenvolvimento de semicondutores causam impactos em todas as áreas tecnológicas e com as comunicações não é diferente. Uma nova categoria de redes sem fio chamada de *Body Area Network* surgiu para interconectar sensores pelo do corpo humano que, lendo, armazenando e processando dados, facilitam o monitoramento de sinais do corpo, como batimento cardíaco, pressão arterial, entre outros e de seus movimentos, permitindo aplicações em áreas como esportes, entretenimento, segurança e medicina. Algumas tecnologias de comunicação sem fio foram aplicadas com para estas finalidades, com destaque ao *Bluetooth*, *Ultra Wide Band*, *Zigbee* e, dentro desta categoria, uma tecnologia acendente tornou-se uma opção, o HBC (Human Body Communication), ou Comunicação pelo Corpo Humano [1]. Esta tecnologia permite a transferência de sinais elétricos utilizando o corpo humano como meio de comunicação e, quando comparado com as técnicas de propagação por radiação eletromagnética, o HBC apresenta menor atenuação para

comunicação nas proximidades do corpo, implicando em uma demanda energética menor e a possibilidade de simplificação dos circuitos de comunicação, além de potencialmente maior segurança e menor interferência. [1][2]

O HBC possui três variantes: o acoplamento capacitivo, o acoplamento galvânico e o acoplamento indutivo ou magnético, com algumas vantagens acentuadas para o acoplamento capacitivo que possui maior capacidade de transferência de dados e maior alcance de transmissão, apresentando níveis de atenuação entre 40-50 dB na faixa entre 10-100 MHz. No acoplamento capacitivo são usados dois pares de eletrodos fixados no corpo, um par de eletrodos para circuito transmissor e outro para o receptor, sendo que em cada par de eletrodos, um eletrodo está em contato com o corpo humano (eletrodo de sinal) e outro eletrodo em contato com o ar (eletrodo de terra), como mostrado na Fig. 1. A condução ocorre quando campos elétricos se formam entre os eletrodos de sinal e os tecidos (caminho direto) e entre os eletrodos de terra com o plano de terra externo (caminho de retorno) [1].

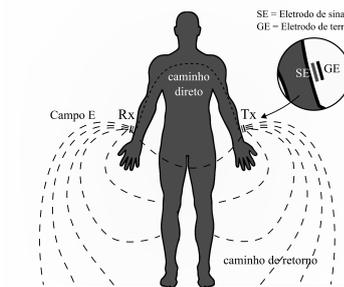


Fig. 1. Acoplamento capacitivo do HBC.

Na literatura, os receptores (RX) para HBC capacitivo aparecem usualmente em projetos de transceptores (TRX) e alguns projeto recentes e relevantes são listados a seguir. Em [3] foi projetado um TRX em tecnologia CMOS 180 nm utilizando a modulação DPFSSK (Discontínuos-Phase FSK) para simplificar o circuito, sendo que o RX é baseado na arquitetura de conversão direta e utiliza um demodular FSK baseado em linha de atraso. A frequência de operação é

80MHz, a taxa de transferência é de 1Mbps e consumo do RX é $1,79mW$. Em [4] é proposto um TRX com transmissão digital direta banda larga, onde códigos convolucionais e NRZI (Non-Return to Zero Inverted) são usado no transmissor para codificar os dados. No RX, utiliza-se um amplificador, circuito de recuperação de clock e decodificadores para recuperação dos dados. O circuito foi projetado em tecnologia CMOS 90nm e alcança 5 Mbps com um consumo de $2,33 mW$ no RX. Em [5] é apresentado um sistema em tecnologia CMOS 180 com dois TRXs e dois RXs, sendo capaz de de operar de forma adaptável em três bandas (21 MHz, 42 MHz e 168 MHz) e duas modulações (BPSK e QPSK) de acordo com as necessidade de taxas de dados, tipo de rede e consumo. A arquitetura do RX é de conversão direta e utiliza um DLL para demodulação. As taxas de transferência máximas são 1,315Mbps (BPSK) e 105 Mbps (QPSK), consumindo $5 mW$ e $9 mW$, respectivamente. O TRX proposto em [6], em tecnologia CMOS 65 nm, opera em banda larga na faixa entre 1-30 MHz com uma modulação NRZ (Non return to zero). No RX, é utilizada uma arquitetura que realiza integração e amostragem periódicas para mitigar interferências. O circuito alcança 30 Mbps e seu RX consome $98 \mu W$.

Dado o exposto, este trabalho apresenta o projeto de um receptor BFSK para HBC capacitivo em tecnologia CMOS 180 nm que busca reduzir o consumo e aumentar a eficiência energética utilizando uma arquitetura de conversão frequência-fase através da técnica de *injection locking* para demodulação [7] [8]. O restante do trabalho está organizado da seguinte forma: na seção II é apresentada a arquitetura do RX e seu projeto, na seção III são apresentados os resultados de simulação pós-leiute do sistema e na seção IV as conclusões.

II. ARQUITETURA E PROJETO DO RECEPTOR

O projeto do RX depende de algumas características do canal HBC capacitivo, que pode ser aproximado por um circuito RC como na Fig. 2 e fornece a Eq. (1), onde V_{in} é a tensão no transmissor, V_{Rx} é a tensão no RX, R_s é resistência do transmissor, Z_{body} , Z_{load} é a impedância do RX e C_{ret} é a capacitância do caminho de retorno. Considerando o perfil passa-faixa do canal e a comunicação no modo de tensão, a tensão recebida e a banda do RX serão maximizadas para um valor elevado de Z_{load} e muito maior que a impedância do corpo. Para os níveis apropriados de atenuação no canal e interferências, a operação em banda estreita, na faixa entre 40-60 MHz, foi escolhida, evitando interferências de baixa frequência e FM. Além disso, optou-se pelo uso da modulação

BFSK, mais robusta aos à variações na atenuação no canal devida aos movimentos no corpo humano.

$$\frac{V_{Rx}}{V_{in}} = \frac{Z_{load}}{R_s + Z_{body} + Z_{load} + \frac{1}{sC_{ret}}} \quad (1)$$

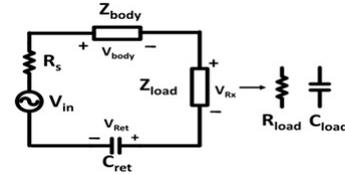


Fig. 2. Modelo simplificado do acoplamento capacitivo incluindo [6].

Para realizar a demodulação BFSK, o RX é baseado na técnica de conversão frequência-fase com o uso de *injection locking*, ou travamento por injeção. No travamento por injeção, um oscilador pode ter sua sua frequência de oscilação livre, ω_0 , alterada para a frequência de um sinal externo injetado neste oscilador, ω_{inj} , caso esta frequência e a amplitude do sinal injetado, V_{inj} , estejam dentro da faixa de travamento ω_L , dada pela Eq. (2) [9], que depende ainda do fator de qualidade Q e da amplitude de oscilação V_{osc} na saída VCO e é válida para $V_{osc} \gg V_{inj}$. Este fenômeno, além de fazer com que $\omega_0 = \omega_{inj}$, produz uma diferença de fase θ entre o sinal do VCO sob *injection locking*, ϕ_{osc} , e a fase do sinal injetado, ϕ_{inj} , e é dependente da frequência do sinal injetado, como indicado na Eq. 3. Desta forma, θ pode ser utilizada para distinguir as frequências de um sinal BFSK e para demodulação utilizando a arquitetura do RX apresentada na Fig. 3, baseada nos trabalhos [7] e [8].

$$\pm\omega_L = \frac{\omega_0 V_{inj}}{2QV_{osc}} \quad (2)$$

$$\theta = \phi_{inj} - \phi_{osc} \cong \arcsin\left(\frac{\omega_0 - \omega_{inj}}{\omega_L}\right) \quad (3)$$

Nesta arquitetura, o sinal BSFK primeiro é elevado para níveis adequados apor um amplificador de entrada (Amp) de acordo com a faixa de travamento definida pelas frequências do BFSK. Em seguida, o sinal do amplificador é simultaneamente injetado no oscilador controlado por tensão (VCO) e copiado com um circuito auxiliar (CA) que regenera o sinal aos níveis lógicos antes de enviá-los à entrada do detector de fase (PD). A saída do VCO travado à frequência do sinal BFSK também é enviada para o PD. Por sua vez, as saídas do detector de fase, quem contem a diferença de fase entre os sinais do CA e do VCO, passam por um filtro e são utilizadas como entrada para um comparador (Comp.) que irá reproduzir

o padrão binário codificado na modulação BFSK, resultando em sinal de nível logico alto para frequência de 60 MHz e baixo para 40MHz. A seguir, são apresentadas considerações de projeto para os blocos do RX.

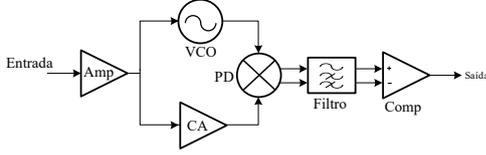


Fig. 3. Arquitetura do receptor BFSK baseado em *injection locking*.

A. Amplificador de entrada

O amplificador de entrada utiliza inversores CMOS com realimentação resistiva e possui dois estágios (Fig. 4 (a)), permitindo elevar o ganho com um consumo menor quando comparado com topologias não complementares devido ao reuso de corrente, além de ampliar a banda do circuito [10]. O primeiro estágio apresenta ganho fixo e o segundo possui ganho controlável através do ajuste da tensão de controle do transistor M_f na malha de realimentação, permitindo ajustes de acordo com variações na atenuação do canal. O circuito foi projetado para fornecer ganho controlável para compensar a atenuação no canal, produzir a amplitude necessária para faixa de travamento do sinal BFSK quando $V_{osc} \approx 1,8$ V e para fornecer uma resistência de entrada elevada, fornecendo $A_V = 10-56$ dB.

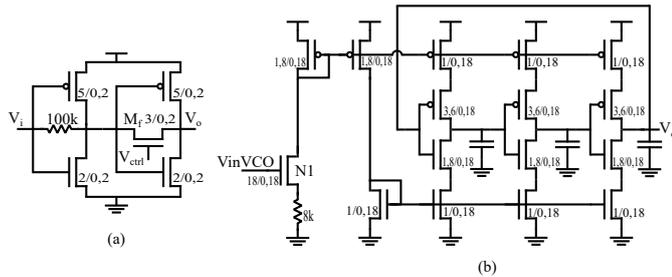


Fig. 4. Amplificador de dois estágios (a) e VCO current-starved (b). As razões W/L dos transistores são $\mu\text{m}/\mu\text{m}$.

B. VCO

O circuito do VCO é apresentado na Fig. 4 (b) e utiliza a topologia *current starved* do oscilador em anel com inversores CMOS, que permite ajustar a frequência controlando a corrente em cada estágio inversor pela tensão V_{inVCO} no transistor N1. Suas vantagens são simplicidade, a linearidade e a possibilidade do controle do consumo energético. A frequência de oscilação livre do VCO, f_{osc} , pode ser aproximada pela

Eq. (4) [11], onde I_D é a corrente que em cada estágio do VCO, N é o número de estágios inversores, C_{tot} , a soma das capacitâncias de entrada e de saída dos inversores e VDD é a tensão de alimentação. Neste projeto, foram utilizados $N = 3$, e foi adicionado um capacitor entre cada estágio inversor para obter $f_{osc} = 50$ MHz com $V_{inVCO} = 0,9$ V para $VDD = 1,8$ V de tal forma a garantir a amplitude de oscilação $V_{osc} \approx 1,8$ V e reduzir o consumo. O VCO é apresentada $K_{VCO} = 85,7$ MHz/V com um ajuste aproximadamente linear entre 20-80 MHz. Resultados para a faixa de travamento do VCO e a defasagem correspondente serão apresentados na seção III.

$$f_{osc} = \frac{I_D}{N \cdot C_{tot} \cdot VDD} \quad (4)$$

C. Circuito auxiliar, Detector de fase e filtro

O circuito auxiliar é formado pela cascata de inversores CMOS para regenerar a amplitude do sinal aos níveis requeridos pelo detector de fase. Inversores com o mesmo propósito conectam a saída do VCO ao PD. O detector de fase faz uso de uma topologia tri-state (Fig. 5 (a)), com uma porta AND em lógica estática e dois flip-flops tipo D em lógica TSPC (*True Single-Phase Clock*) [12] (Fig. 5 (b)). Esta topologia proporciona atrasos de propagação e consumo baixos quando comparados com outros circuitos e é insensível à razão cíclica dos sinais de entrada. Neste circuito, as entradas $In1$ e $In2$ recebem o sinal do VCO e o sinal cópia da entrada, respectivamente, e os pulsos nas saídas $Q1$ e $Q2$ indicam a diferença de fase entre as entradas. O dimensionamento buscou obter valores baixos para o atraso de propagação. Para o filtro, foi utilizada uma topologia passa-baixas RC de primeira ordem (Fig. 5 (c)) cujos valores são $R = 1$ k Ω e $C = 1$ pF e foram ajustados para atenuar as componentes de alta frequência nas saídas do detector de fase a serem utilizadas como entrada do comparador.

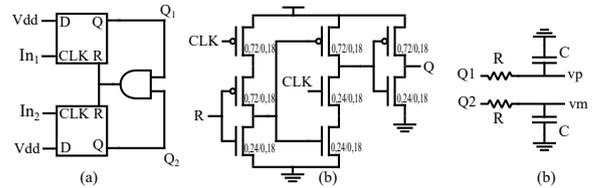


Fig. 5. Detector de fase tri-state (a), flip-flops tipo D TSPC (b) e filtro RC passa-baixas (c). As razões W/L dos transistores são em $\mu\text{m}/\mu\text{m}$.

D. Comparador

O último bloco do circuito é um comparador de três estágios, como apresentado na Fig. 6 [11]. Escolhido para garantir

alta velocidade, o circuito é formado por um pré-amplificador diferencial com carga ativa, que produz correntes de saída, i_{op} e i_{om} , proporcionais às transcondutâncias de N1 e N2, à corrente de polarização e à diferença das tensões de entrada, v_p e v_m . O segundo estágio (formado pelos transistores N4-N7) utiliza realimentação positiva para elevar o ganho e a velocidade, além de um transistor N8 para elevar o nível DC de suas saídas v_{op} e v_{om} , que são controladas pelas correntes i_{op} e i_{om} e pelas dimensões dos transistores. O terceiro estágio é um *buffer* baseado em um amplificador diferencial auto-polarizado cujo propósito é regenerar a saída do comparador para os níveis lógicos. O circuito foi dimensionado para apresentar baixo atraso de propagação baixo, com baixo consumo e ganho elevado e para operar sem histerese.

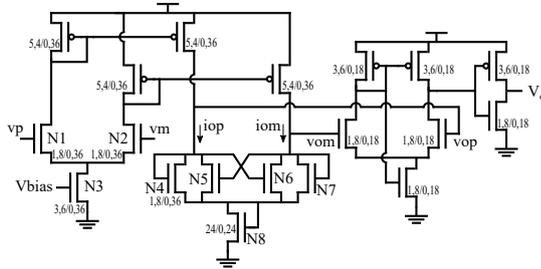


Fig. 6. Comparador de 3 estágios. As razões W/L dos transistores são em $\mu\text{m}/\mu\text{m}$.

III. RESULTADOS DE SIMULAÇÃO

A extração pós-leiaute do RX foi testada em simulações utilizando as ferramentas Cadence e o PDK fornecido pela foundry. Primeiramente, na Fig. 7, é apresentada a faixa de travamento do VCO, obtida realizando uma varredura da tensão e da frequência de entrada para identificação das tensões mínimas na saída do amplificador para que ocorra o travamento por injeção para a faixa de frequência entre 40-60 MHz. É possível verificar que o VCO necessita de tensão acima de 133 mV para o travamento, portanto a tensão de entrada mínima deve ser superior 210 μV de pico para amplitude no sinal injetado para o ganho máximo.

O RX completo foi simulado com $V_{DD} = 1,8 \text{ V}$ e uma entrada BFSK de 40 MHz e 60 MHz modulada por um sinal retangular emulando uma taxa de dados de 5 Mbps, este sinal e o resultado para saídas do amplificador e do VCO são apresentados na Fig. 8, indicando que o travamento por injeção está ocorrendo e que a amplitude na saída do amplificador é 177 mV e do VCO está muito próxima de 1,8 V. Na Fig. 9 são apresentados as saídas do VCO e do CA, assim como as saídas do PD e é possível observar que, quando ocorre uma mudança

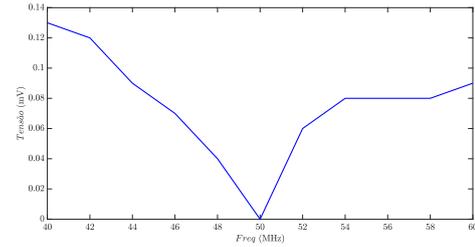


Fig. 7. Faixa de travamento por injeção do VCO.

de frequência no sinal BFSK, o atraso entre as saídas do VCO e do CA se invertem, sendo que a defasagem é 891 ps para 40 MHz e 1,3 ns para 60 MHz. A defasagem entre estes sinais, mensurada no PD, passa pelo filtro RC e alimenta as entradas do comparador (Fig. 10), cuja saída exibe nível lógico 1 para $f_{BFSK} = 60 \text{ MHz}$ e nível lógico 0 para $f_{BFSK} = 40 \text{ MHz}$, indicando que a demodulação está ocorrendo corretamente para as condições testadas. O circuito consome 1,58 mW, fornecendo uma eficiência de comunicação de 316 pJ/bit para 1, 8V. Simulações adicionais do receptor (Fig. 11), mas com $V_{DD} = 1,5 \text{ V}$ e para a mesma taxa de dados, forneceram $P = 0,74 \text{ mW}$ e $\text{En/bit} = 148 \text{ pJ/bit}$. A Tabela I resume os principais parâmetros de desempenho deste receptor e dos receptores citados na Introdução. A Fig.12 apresenta o leiaute do receptor proposto.

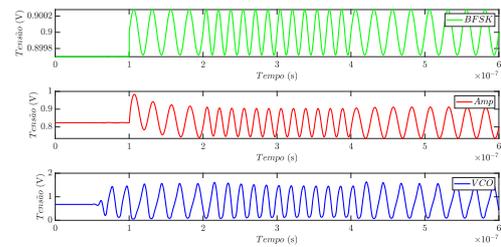


Fig. 8. Entrada BFSK, saída do Amplificador e VCO no momento da troca de frequência na entrada.

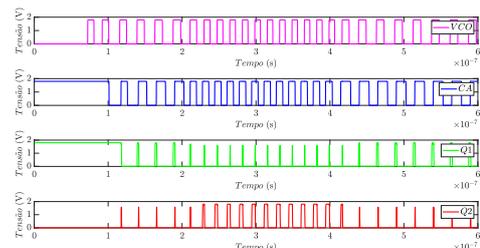


Fig. 9. VCO após *buffer* Circuito Auxiliar e saídas Q1 e Q2 do detector de fase.

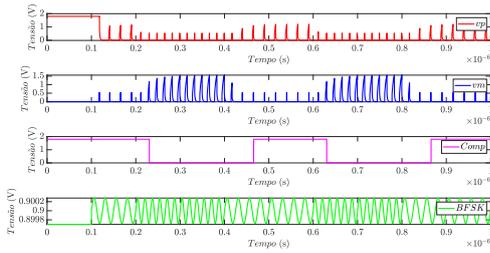


Fig. 10. Comparação entre o sinal BFSK, as entradas do comparador e sua saída.

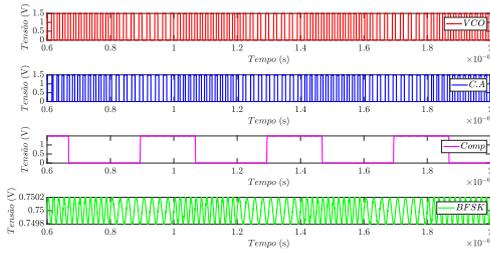


Fig. 11. Comparação entre o sinal BFSK, as saídas do VCO, do CA e do comparador para VDD = 1,5 V.

TABELA I

Características dos receptores citados na introdução e do receptor proposto.

Referência	[3]	[4]	[5]	[6]	Este trabalho
Taxa de transferência (Mbps)	1	5	1,315-105	30	5
Consumo (mW)	1,79	2,33	5-9	0,098	0,74-1,58
Tecnologia (nm)	180	90	180	65	180
Frequência (MHz)	80	xxx	21-42-168	1-30	40-60
Modulação	DPFSK	NRZI	BPSK-QPFSK	NRZ	BFSK
Eficiência energética (pJ/bit)	1790	466	3800-85,7	3,2	148-316

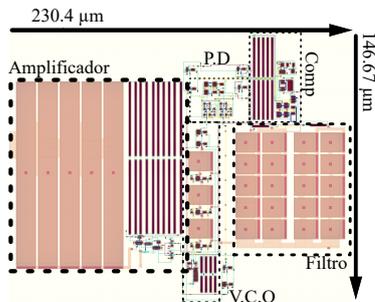


Fig. 12. Leiaute do receptor.

IV. CONCLUSÕES

Os resultados de simulação indicam que, para as condições de projeto, o protótipo de receptor BFSK integrado baseado em injection locking foi capaz de realizar a demodulação e atingiu desempenho comparável ou superior a alguns dos receptores apresentados na Tabela I, com consumo na faixa de mW e eficiência energética da ordem de pJ/bit, atingindo consumo sub-mW para tensões de alimentações menores e com potencial de melhorias em nós tecnológicos mais avançados ou com

ajustes no circuito. Simulações adicionais com outras tensões de alimentação, com corners tecnológicos e de temperatura serão realizadas nos próximos passos para ampliar a avaliação de desempenho do RX, com subseqüente testes experimentais de um protótipo físico para confirmar a funcionalidade do circuito em situações reais.

AGRADECIMENTOS

Os autores agradecem à Pró-Reitoria de Pesquisa, Criação e Inovação da UFBA e à Sociedade Brasileira de Microeletrônica - SBMicro por subsidiarem este trabalho.

REFERÊNCIAS

- [1] Zhao, J. F., Chen, X. M., Liang, B. D. and Chen, Q. X., "A review on human body communication: Signal propagation model, communication performance, and experimental issues," *Wireless Communications and Mobile Computing*, 2017.
- [2] Hammood, D, and Alkhayyat, A, "An overview of the survey/review studies in wireless body area network," *2020 3rd International Conference on Engineering Technology and its Applications (IICETA)*, v. 5, pp. 18–23, 2020.
- [3] Shih, Horng-Yuan and Chang, Yu-Chuan and Yang, Cheng-Wei and Chen, Chieh-Chih, "A low-power and small chip-area multi-rate human body communication DPFSK transceiver for wearable devices" *IEEE Transactions on Circuits and Systems II: Express Briefs* v. 67, pp.1234–1238, 2019.
- [4] Chung, Ching-Che, and Yi-Ting Tsai. "A Body Channel Communication Transceiver with a 16x Oversampling CDR and Convolutional Codes." *2022 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*. IEEE, 2022.
- [5] Jang, Jaceun and Lee, Jihee and Cho, Hyunwoo and Lee, Jaehyuk and Yoo, Hoi-Jun, "Wireless body-area-network transceiver and low-power receiver with high application expandability," *Journal of Solid-State Circuits*, pp. 2781–2789, v. 55 2020
- [6] Maity, Shovan and Chatterjee, Baibhab and Chang, Gregory and Sen, Shreyas, "BodyWire: A 6.3-pJ/b 30-Mb/s- 30-dB SIR-tolerant broadband interference-robust human body communication transceiver using time domain interference rejection" *IEEE Journal of Solid-State Circuits* v. 54, pp.2892–2906, 2019.
- [7] Wang, Chao-Shiun and Chu, Kun-Da and Wang, Chong-Kuang, "A 0.13 μm CMOS 2.5 Gb/s FSK demodulator using injection-locked technique," *2009 IEEE Radio Frequency Integrated Circuits Symposium*, v. 5, pp.563–566, 2009.
- [8] Pereira, Maicon D., "Contribuições às redes de comunicação pelo corpo humano: Modelagem de canal e projeto de um transceptor integrado", Tese de Doutorado, 2017.
- [9] Razavi, B, "A study of injection locking and pulling in oscillators," *IEEE Journal of Solid-State Circuits*, v. 39, n. 9, p. 1415-1424, Sept 2004.
- [10] Farzaneh Soleymani, Yasin Bastan, Parviz Amiri, Mohammad Hossein Maghami, "A 0.3–1.4 GHz inductorless CMOS variable gain LNA based on the inverter cell and self-forward-body-bias technique," *AEU - International Journal of Electronics and Communications*, V. 113, 2020.
- [11] Baker, R Jacob, *CMOS: Circuit Design, Layout and Simulation*, John Wiley & Sons, 2019.
- [12] Won-Hyo Lee, Jun-Dong Cho and Sung-Dae Lee, "A high speed and low power phase-frequency detector and charge-pump," *Proceedings of the ASP-DAC '99 Asia and South Pacific Design Automation Conference* pp. 269-272 vol.1, 1999.