

ANÁLISE DE DESEMPENHO DE UM COMUTADOR ATM COM FACILIDADE PARA GARANTIR QUALIDADE DE SERVIÇO

M. P. C. Arantes¹, S. Motoyama²

¹magda@dt.feec.unicamp.br

Faculdade de Valinhos

²motoyama@dt.fee.unicamp.br

DT – FEEC – Unicamp

RESUMO

Neste trabalho é descrito um comutador ATM com buffers nas entradas e nos pontos de cruzamentos. As transferências de células de entradas para as saídas são feitas em duas fases. Na primeira fase as células, discriminadas de acordo com a ordem de prioridade de atendimento, são transferidas aos buffers dos pontos de cruzamentos, utilizando barramentos paralelos. Na segunda fase é feito o encaminhamento das células para as saídas, utilizando o esquema round-robin. É proposto um modelo de análise para cálculo dos tempos de retardos das células nos buffers. A análise mostra que é possível manter os retardos das células dos serviços com maiores restrições de tempo em níveis bastante pequenos e aqueles sem restrições em níveis razoáveis.

1. INTRODUÇÃO

Existem na literatura várias propostas de estruturas para comutadores ATM de alta velocidade [1] [9]. Algumas propostas utilizam buffers na entrada [1] mas este tipo de estrutura apresenta o problema conhecido como HOLB (Head Of Line Blocking), e necessita um algoritmo de encaminhamento de células para melhorar a vazão do comutador [2], [3], [4], [5], o que limita a sua velocidade. Outras propostas utilizam buffers na saída [6] conseguindo vazão de 100%. Entretanto, para se conseguir transferir todas as células que chegam nas entradas do comutador aos buffers de saída durante o intervalo de um "slot" (tempo de duração de uma célula) é necessário um procedimento sofisticado. Existem propostas de estruturas que utilizam buffers na entrada e na saída [7], estas estruturas necessitam técnicas eficientes para transferir as células dos buffers de entrada para a saída. Existem também propostas para se utilizar estruturas do tipo crossbar com buffers nos pontos de cruzamento [9], [10], simplificando as técnicas de transferência de células da entrada para a saída. Embora estas estruturas não sejam adequadas a comutadores de grande porte pois o hardware é da ordem de N^2 (N é o número de entradas e de saídas), a simplicidade deste tipo de estrutura é muito conveniente para comutadores de porte médio usados em redes locais de alta velocidade.

Em [10] são apresentadas propostas de três estruturas para um comutador ATM do tipo crossbar de altíssima velocidade com prioridade para o tráfego com maior exigência de qualidade de serviço (QoS). As três estruturas utilizam um conjunto de buffers nas entradas e nos pontos de cruzamentos, um buffer para cada tipo de serviço. Nas entradas as células são discriminadas e armazenadas nos buffers apropriados. Os buffers dos pontos de

cruzamentos têm a capacidade para armazenar uma única célula. A transferência de células da entrada para a saída é feita em duas fases. Na primeira as células são encaminhadas aos buffers dos pontos de cruzamentos e na segunda elas são encaminhadas às saídas. As estruturas diferem basicamente na quantidade de caminhos paralelos que ligam as entradas aos pontos de cruzamentos o que altera a primeira fase de transferência das células.

Estudos de caso [10] mostraram que os comutadores com buffers na entrada e nos pontos de cruzamentos com atendimentos paralelos, tanto a estrutura com barramentos dedicados como a de barramento único conseguem vazões altas e semelhantes, porém, em algumas situações a segunda estrutura não prioriza o tráfego de maior exigência de qualidade de serviço, já a estrutura com atendimento e barramento único consegue a menor vazão das três propostas ao custo de maior simplicidade de implementação.

O objetivo deste trabalho é propor um modelo de análise para um comutador com estrutura de atendimento paralelo e barramento dedicado, para avaliar seu desempenho em relação aos tempos de atrasos.

Este trabalho tem a seguinte organização. Na seção 2 são descritos a estrutura do comutador com atendimento paralelo e barramento dedicado, o esquema de transferência de células e o algoritmo de encaminhamento de células. O modelo de análise e a análise de desempenho para essa estrutura de comutador são apresentados nas seções 3 e 4. Finalmente, na seção 5 são apresentadas as principais conclusões.

2. ESTRUTURA DO COMUTADOR CROSSBAR COM ATENDIMENTOS PARALELOS E BARRAMENTO DEDICADO

O comutador possui uma estrutura do tipo crossbar com N entradas e N saídas como mostrado na Fig. 2.1. Cada entrada possui um discriminador de células e um conjunto de cinco buffers, um para cada uma das classes de serviço Constant Bit Rate (CBR), real-time Variable Bit Rate (rtVBR), non-real-time VBR (nrtVBR), Available Bit Rate (ABR) e Unspecified Bit Rate (UBR). As células que chegam a uma porta de entrada são discriminadas quanto ao tipo de serviço e armazenadas no buffer apropriado. Em cada ponto de cruzamento é providenciado também um conjunto de cinco buffers mas neste caso cada buffer pode armazenar somente uma célula.

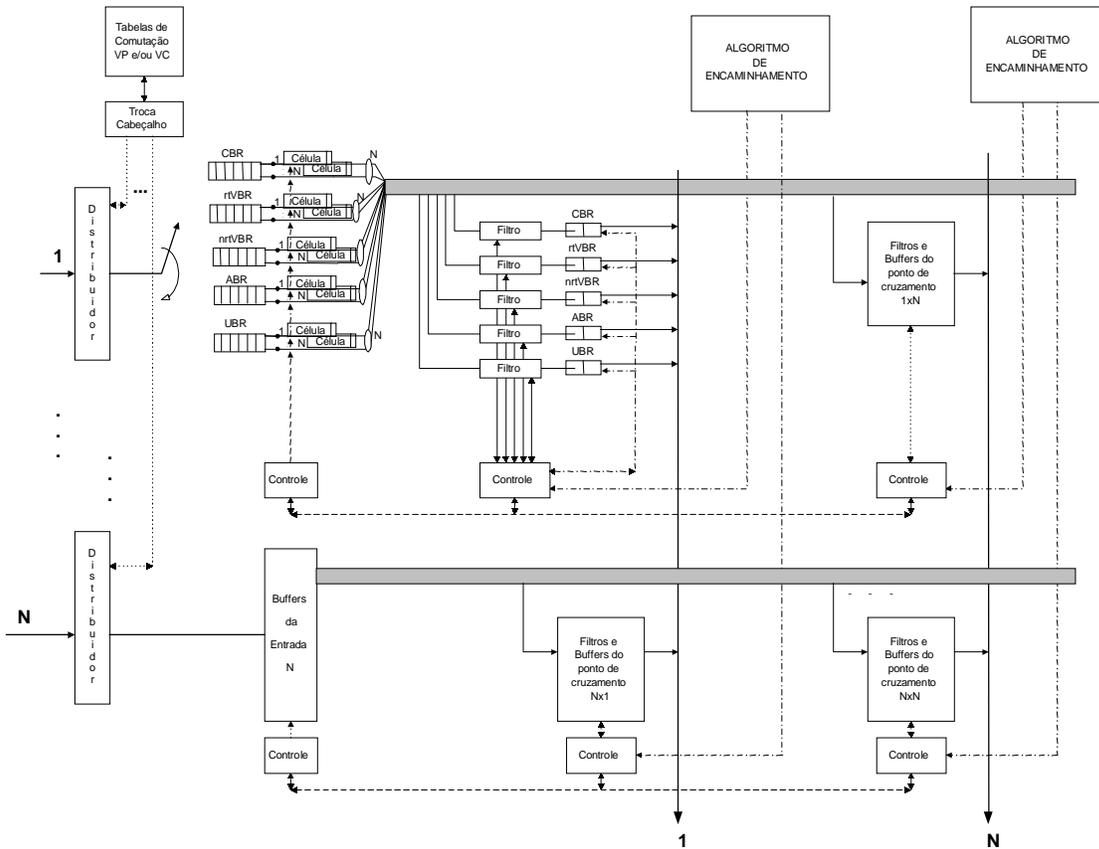


Figura 2 1: Comutador ATM com buffers na entrada e nos pontos de cruzamentos, com armazenamento de uma célula em cada buffer de cada tipo de serviço, e leitura paralela dos buffers de entrada.

Um barramento liga cada entrada aos buffers de cruzamentos. Existe um caminho dedicado, que liga cada um dos buffers de cada uma das classes de serviços de entrada, aos buffers da classe de serviço equivalente em cada um dos pontos de cruzamentos.

O processo de comutação é feito durante um slot de tempo (tempo de processamento de uma célula) e é dividido em duas fases.

Na primeira fase, sob a monitoração de unidades de controle e filtros, as células são encaminhadas aos buffers dos pontos de cruzamentos. Nesta estrutura até N células de uma mesma classe em um enlace de entrada podem ser encaminhados aos buffers de pontos de cruzamentos. Este encaminhamento obedece a uma disciplina que privilegia as classes de serviço de maior prioridade. E dentro de um mesma classe de serviço, as células direcionadas a mesma saída obedecem à disciplina FIFO (First In First Out).

Na segunda fase é executado o algoritmo de resolução de encaminhamento, que escolhe a célula que será enviada por uma determinada saída, se existir mais de uma célula esperando nos buffers de cruzamento. Este algoritmo favorece as células de classes de serviços com maior prioridade e em casos da mesma classe de serviço é utilizado o esquema "round robin" para o encaminhamento.

2.1 Esquema de transferência de células aos buffers dos pontos de cruzamentos.

O conjunto de buffers CBR de uma dada entrada é examinado e determina-se para que saídas existem células esperando. A seguir as células são transmitidas pelo barramento, uma para cada saída. Por exemplo, o buffer da classe de serviço CBR da entrada i é examinado e verifica-se que existem células esperando para as saídas x , y e z ; assim são enviadas pelos caminhos dedicados três células, a primeira é armazenada no buffer de cruzamento do serviço CBR (i,x) , a segunda no buffer CBR (i,y) e a terceira no buffer CBR (i,z) se esses buffers estiverem vazios. Ou seja, os filtros selecionam as células que são direcionadas as respectivas saídas. Uma cópia das células enviadas aos buffers de cruzamento permanecem no buffer de entrada. Se o número da **porta** y é reconhecido e o buffer CBR do cruzamento (i,y) estiver vazio, a célula é armazenada no buffer da classe de serviço CBR do ponto de cruzamento (i,y) . Se o referido buffer estiver ocupado, a célula é descartada e um sinal de controle (**NACK** - um bit apenas) é enviado à entrada para que a cópia seja preservada. Se o sinal de controle não é recebido pela **entrada** i , é admitido que a transferência de célula foi bem sucedida e a cópia da célula é apagada.

Paralelamente, os buffers de entrada das outras classes de serviço são examinados e o mesmo esquema é executado simultaneamente em cada uma delas. As células de uma mesma

classe de serviço endereçadas a uma mesma saída são transmitidas de acordo com a disciplina FIFO, mas dentro da mesma classe de serviço as células endereçadas as saídas mais ociosas podem ser encaminhadas primeiro.

2.2 ENCAMINHAMENTO DAS CÉLULAS

A Fig.2.2 ilustra a segunda fase da comutação de célula da estrutura proposta.

Cada unidade de controle (UC) dos pontos de cruzamentos ($1 \dots N, j$) verifica o estado do buffer CBR ($1 \dots N, j$) e caso existam células esperando, um sinal de REQUEST (apenas um bit) é enviado para a Unidade de Controle de Requisição CBR (UCR-CBR) usando uma linha reservada (cada unidade de controle tem uma linha separada, reservada para propósitos de encaminhamento). Se existirem duas ou mais requisições a UCR-

CBR seleciona uma célula de acordo com a disciplina "round robin", e envia um sinal de ACK (apenas um bit) para a $UC_{i,j}$ escolhida através da linha reservada, e a informação END para as outras UC, sinalizando que a célula que será transmitida no próximo slot já foi selecionada. (As UCR-CBR, UCR-rtVBR, UCR-nrtVBR, UCR-ABR e UCR-UBR possuem cada uma, linhas separadas para informações ACK e END para cada UC dos pontos de cruzamento). Se a UCR-CBR não receber requisições, ela envia uma informação NEXT (apenas um bit) para as UCs e para a UCR-rtVBR. Agora as $UC_{1 \dots N,j}$ examinam os buffers rtVBR e o mesmo procedimento é executado até que uma célula seja escolhida, ou até que as buffers UBR sejam examinados. Todas as portas de saída executam simultaneamente este algoritmo para selecionar a célula que será encaminhada.

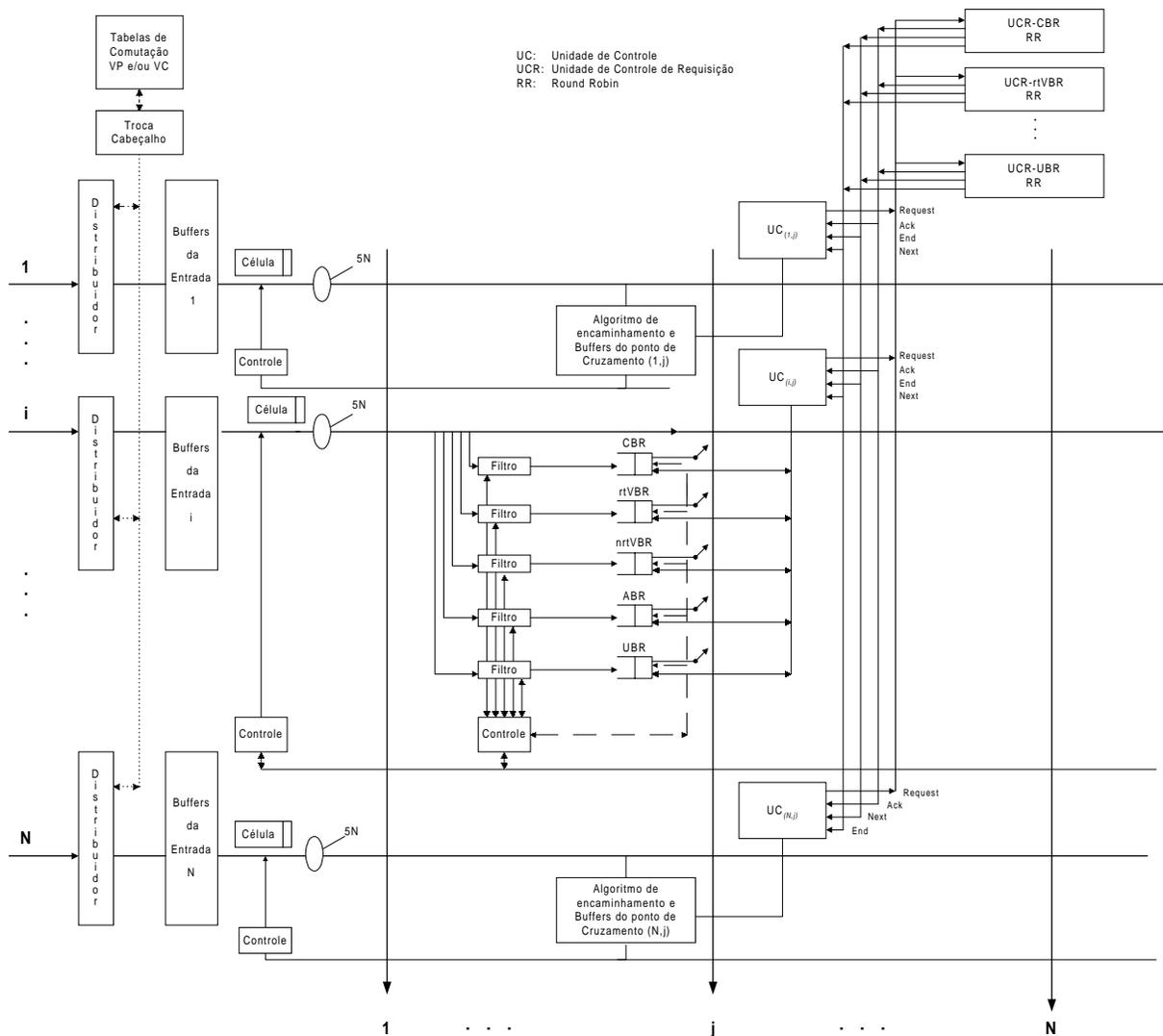


Figura 2 2: Algoritmo de encaminhamento de células

3. MODELO DE ANÁLISE DE DESEMPENHO

Estudos de casos efetuados em [10] mostram que cada uma das portas de saída do comutador com atendimentos paralelos e barramentos dedicados opera como uma fila de prioridades, onde as classes de serviços de maior prioridade são atendidas primeiro, e dentro de uma mesma classe de serviço, as células de uma mesma entrada são atendidas de acordo com a disciplina FIFO.

Para a análise será considerado um modelo agregado de fila, com um buffer para cada classe de serviço, e um único servidor representando uma porta de saída como mostrado na Fig. 3.1. Neste modelo, a cada slot, o servidor verifica primeiro se existem células no buffer CBR que é o de mais alta prioridade; após transmitir todas as células CBR, ele passa a examinar o buffer rtVBR e assim por diante.

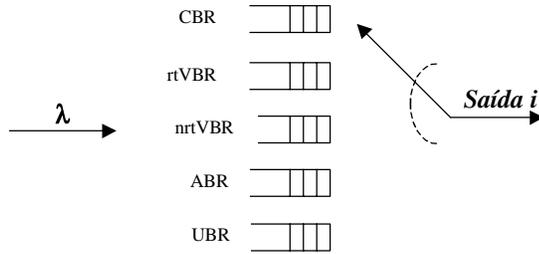


Figura 3 1: Modelo agregado de fila em uma saída i

São adotadas as seguintes suposições: O número de portas de entrada e de saída é N e a chegada das células na entrada obedece ao processo de Bernoulli idêntico e independente. A probabilidade de chegada de uma célula em um slot é p . A porcentagem de tráfego da classe de serviço i é S_i , e $\sum_i S_i = 1$.

A probabilidade de uma célula em uma porta de entrada ser encaminhada para uma saída particular é $1/N$, então o tráfego em cada buffer agregado é $NpS_i \frac{1}{N}$. Assumiu-se também que existem r classes de serviços e a classe de serviço genérica h pode assumir os valores

$$h = 1, 2, 3, \dots, r$$

onde r é a classe de serviço de menor prioridade. As células de mesma prioridade são servidas de acordo com a disciplina FIFO (First In First Out).

Assumiu-se que os slots de entrada e de saída não são sincronizados, existe então um tempo residual de serviço quando chega a célula alvo.

Usando raciocínio similar ao desenvolvido em [8] para sistemas de filas com prioridades e disciplina de serviço não preemptivo, o tempo médio de espera $E\{W_h\}$ pode ser escrito como:

$$E\{W_h\} = E\{T_0\} + \sum_{k=1}^h E\{T_k\} + \sum_{k=1}^{h-1} E\{T'_k\} \quad (\text{Eq 1})$$

Onde

- $E\{T_0\}$ é o tempo médio (tempo residual) para terminar a transmissão de uma célula, quando chega a célula alvo;
- $E\{T_k\}$ é o tempo médio para servir todas as células de classes de prioridade iguais e mais altas ($h, h-1, \dots, r$) que esperam na fila quando chega a célula alvo;
- $E\{T'_k\}$ é o tempo médio para servir todas as células de classes de prioridade mais altas ($h-1, \dots, r$) que chegaram durante o período $E\{W_h\}$ segundos e que serão servidas antes da célula alvo.

$E\{T_k\}$ é dado por

$$E\{T_k\} = E\{m_k\} \cdot T_{slot} \quad (\text{Eq 2})$$

Onde $E\{m_k\}$ é o número médio de células esperando no buffer, com prioridade maior à célula alvo ou prioridade igual mas que chegaram antes; e T_{slot} é o tempo necessário para transmitir uma célula.

Da fórmula de Little:

$$E\{m_k\} = \frac{S_k p}{T_{slot}} E\{W_k\} \quad (\text{Eq 3})$$

Onde $E\{W_k\}$ é o tempo médio de espera das células de prioridade k .

Então,

$$E\{T_k\} = S_k p \cdot E\{W_k\} \quad \text{e} \quad E\{T'_k\} = S_k p \cdot E\{W_h\} \quad (\text{Eq 4})$$

Portanto a Eq.1 pode ser resolvida para $E\{W_1\}$, depois para $E\{W_2\}$ e genericamente para $E\{W_h\}$ obtendo-se:

$$E\{W_h\} = \frac{E\{T_0\}}{(1 - p\sigma_{h-1})(1 - p\sigma_h)} \quad (\text{Eq 5})$$

$$\text{Onde, } \sigma_h = \sum_{k=1}^h S_k, \quad \sigma_0 = 0, \quad \sigma_r = 1$$

Para slots de tamanho fixo, $E\{T_0\}$ é dado por

$$E\{T_0\} = \sum_{k=1}^r \frac{N-1}{N} \frac{p}{2} S_k T_{slot} = \frac{(N-1)p}{2N} T_{slot} \quad (\text{Eq 6})$$

Então,

$$E\{W_h\} = \frac{(N-1)p}{2N(1 - p\sigma_{h-1})(1 - p\sigma_h)} T_{slot} \quad (\text{Eq 7})$$

Em geral as células são servidas em slots seguintes ao que chegaram. Assim, pode-se escrever:

$$E\{W_h\} = T_{slot} \left[1 + \frac{(N-1)p}{2N(1 - p\sigma_{h-1})(1 - p\sigma_h)} \right] \quad (\text{Eq 8})$$

4. ANÁLISE DE DESEMPENHO

O desempenho do comutador, considerando o tempo de atraso devido a espera das células nos buffers é analisado pela observação das Figs. 4.1, 4.2 e 4.3. Nestas figuras são mostradas as diferentes situações de distribuição de carga, entre as classes de serviço, para um comutador com 16 entradas e 16 saídas.

Na Fig. 4.1 considerou-se percentagens de carga de 40%, 20%, 20%, 10% e 10% para CBR, rtVBR, nrtVBR, ABR e UBR respectivamente. Observa-se pela Fig. 4.1(a) que, para cargas abaixo de 90%, somente o serviço UBR tem um tempo médio de espera longo. Todas as outras classes de serviço possuem tempo de espera razoáveis. Para os serviços de prioridades mais altas, CBR e rtVBR, (Fig. 4.1 (b)) o tempo de espera é menor que o tempo de 3 slots para qualquer situação de carga.

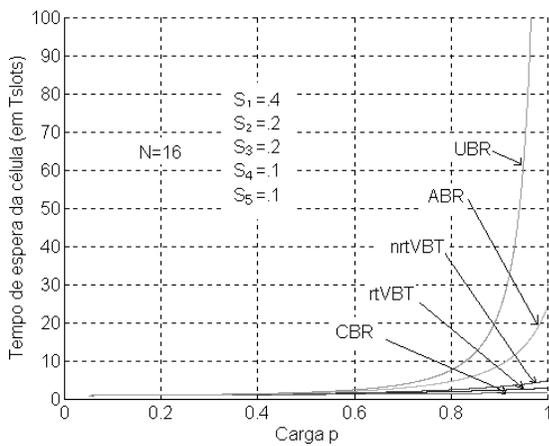


Figura 4.1 (a)

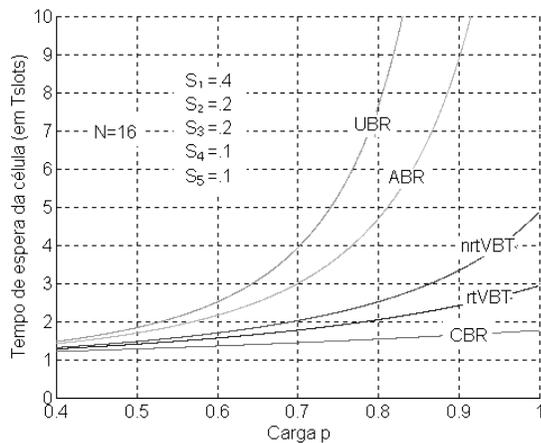


Figura 4.1 (b)

Figura 4.1: Desempenho de um comutador 16x16 com 80% do tráfego nas classes de serviço com maior exigência de qualidade de serviço (CBR, rtVBR e nrtVBR).

No exemplo mostrado pela Fig. 4.2 (a) e (b) considerou-se que o tráfego da rede é igual para todas as classes de serviço. Neste caso os tempos de atraso das células de maior prioridade permanecem pequenos enquanto que os atrasos para as células de menor prioridade diminuem.

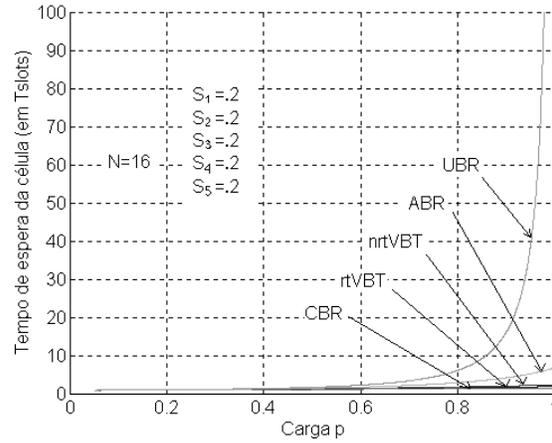


Figura 4.2 (a)

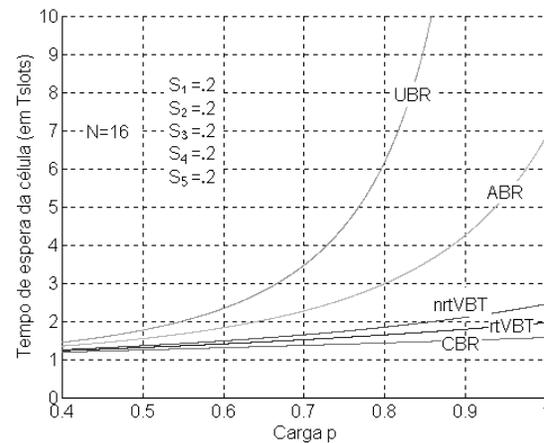


Figura 4.2 (b)

Figura 4.2: Desempenho de um comutador 16x16 com tráfego da rede distribuído igualmente entre as classes de serviço.

Já, na Fig. 4.3 (a) e (b) considerou-se que 60% da carga na rede é de tráfego de baixa prioridade, ABR e UBR. Nesse caso, os tempos de atrasos para as classes CBR, nrtVBR, rtVBR e ABR são baixos, e o tráfego UBR, a classe de menor prioridade, tem atraso considerável apenas para situações de carga acima de 95%.

Considerando a análise de desempenho feita, o comutador ATM com buffers nas entradas e nos pontos de cruzamentos, com atendimento paralelo e barramentos dedicados é adequado e atende facilmente a QoS de cada classe de serviço.

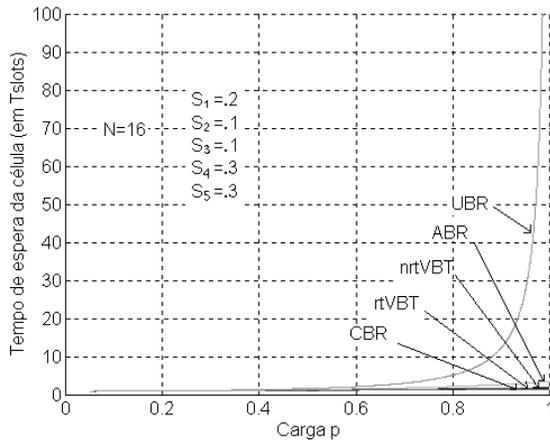


Figura 4.3 (a)

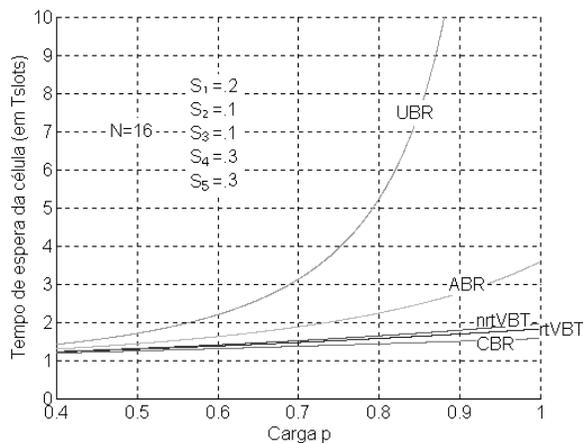


Figura 4.3 (b)

Figura 4.3: Desempenho de um comutador 16x16 com 60% do tráfego da rede nas classes de serviço de mais baixa prioridade.

5. CONCLUSÕES

Neste trabalho foi descrito um comutador ATM com estrutura crossbar, com buffers nas entradas e nos pontos de cruzamentos e que prioriza o tráfego com maior exigência de qualidade de serviço. Apresentou-se também um modelo para análise de desempenho para essa estrutura.

Os resultados da análise mostraram que a estrutura proposta apresentou desempenho adequado para garantir a QoS exigida pelas classes de serviços previstas no ATM. Em condições de 80% de tráfego na rede pertencentes às classes de serviço mais prioritárias (40% de CBR, 20% de rtVBR e de 20% nrtVBR), para cargas de 90%, o tráfego possui atraso máximo de $3xT_{slots}$ (T_{slots} = tempo para transmissão de uma célula) para células CBR e rtVBR; e atraso menor que $5xT_{slots}$ para células nrtVBR. Os atrasos das células ABR e UBR são consideráveis apenas para situações de carga acima de 80%. Já, em condições de 60% do

tráfego de rede pertencentes as classes de serviço de menor prioridade, observou-se que os serviços CBR, VBR e ABR tem atrasos pequenos (menores que $3xT_{slots}$) para qualquer situação de carga da rede, e que o serviço UBR tem atraso considerável apenas para carga superior a 95%.

Considerando que o hardware da estrutura proposta cresce com N^2 , conclui-se que o comutador de estrutura crossbar não é adequado para aplicações de larga escala, porém, a simplicidade de implementação do algoritmo de encaminhamento e seu alto desempenho, torna-o adequado para aplicações de altíssimas velocidades em redes locais.

6. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] M. Karol, M. Hluchyj e S. P. Morgan, "Input versus output queuing in a space division switch", *IEEE Trans. Commun.*, vol. COM-35, pp.1347-1356, Dec. 1987.
- [2] S. Motoyama, D. W. Petr, e V. S. Frost, "Scheduling cells in an input-queued switch", *Electron. Lett.*, vol. 31, n° 14, pp. 1127-1128, July 1995
- [3] N. McKeown, P. Varaiya, e J. Walrand, "Achieving 100% throughput in an input-queued switch", *Electron. Lett.*, vol. 29, n° 25, pp. 2174-2175, December 1993
- [4] N. McKeown, V. Anantharam, e J. Walrand, "Achieving 100% throughput in an input-queued switch", in Proc. IEEE INFOCOM'96, San Francisco, CA, Mar. 1996
- [5] S. Motoyama, L. M. Ono, e M. C. Macigno, "An interactive Cell Scheduling Algorithm for ATM Input-Queued Switch with Service Class Priority" in IEEE Communications Letters, vol. 03, n° 11, pp. 323-325, November 1999.
- [6] K. Y. Eng, M. J. Karol e Y. S. Yeh, "A Growable Packet (ATM) Switch Architecture: Design Principles and Applications", *IEEE Trans. Comm.*, Vol. 40, n° 2, pp. 423-430, February 1992
- [7] Genda K., Y. Doi, K. Endo, e N. Yamanaka, "A Very - High-Speed ATM Switch Architecture Using Internal Speed-up Technique", in NTT Review., vol. 9, n° 2, pp.20-27, March 1997
- [8] J. L. Hammond, P. J. P. O'Reilly, "Performance Analysis of Local Computer Networks", Addison-Wesley Publishing Company, Chap. 3, pp. 98-104, 1986.
- [9] S. Motoyama, "Simple high speed ATM switch with service class priority", *Electron. Lett.*, vol. 36, n° 6, pp. 590-591, March 2000.
- [10] S. Motoyama, M. P. C. Arantes, "Propostas de Estruturas de Comutador para Redes de Comunicação de Altíssima Velocidade", Revista de Informática, Faculdade de Valinhos, v.III, n.4, pp.7-28, Outubro 2000