

Entrelaçador Bidimensional Tempo-Frequência para Codificação de Canal PLC

Marcelo do N. Martins, Antonio C. de C. Lima e Luiz Alberto L. de Almeida

Resumo — Transientes de chaveamento, rápido desvanecimento e seletividade em frequência são as principais causas de erros em canais PLC, resultando numa baixa performance dos codificadores/decodificadores convencionais. Neste trabalho é proposto um novo algoritmo para entrelaçamento de dados para codificação de canais PLC. Resultados e análise de simulações são mostrados.

Palavras-Chave—PLC, codificação de canal, entrelaçamento, seletividade em frequência, rápido desvanecimento.

Abstract — Switching transients, fast-fading and frequency selectivity are the main source of errors in PLC (Power Line Communications) channels, resulting in poor performance of conventional channel encoders/decoders. In this paper, is proposed a novel algorithm for data interleaving in channel coding for PLC. Simulation results and discussion are presented.

Index Terms—PLC, channel coding, interleaving, frequency selectivity, fast-fading.

I. INTRODUÇÃO

O uso de linhas de distribuição de energia elétrica existentes para a transmissão de dados e voz é altamente atrativo, pois o alcance das malhas de distribuição é consideravelmente maior que o alcance das redes atuais. E esse fato pode ter um considerável impacto no mercado local de telecomunicações. PLC (*Power Line Communications*) tem várias possíveis aplicações, ente elas: automação de subestações; e, Internet.

Apesar de atrativo, o uso do PLC traz consigo muitas dificuldades e desafios a serem contornados [1, 2]. As principais características da linha de distribuição que devem ser combatidas são: atenuação de faixas de frequência dependente do tempo de até 60 dB; reflexões por conta do descasamento de impedância, resultando em efeitos de multipropagação; a conexão e desconexão aleatória de cargas na rede de distribuição que tornam a predição do comportamento do canal ainda mais difícil; e, diversos tipos de ruído, sendo o mais preocupante o impulso assíncrono, causado pelo transiente dos chaveamentos na rede, que têm duração de microssegundos até alguns milissegundos e possuem potência de 50 dB em relação ao ruído de fundo, portanto podem causar erros de bits ou de seqüências de bits.

Uma das técnicas propostas na literatura para lidar com esses tipos de problemas é a OFDM (*Orthogonal Frequency Division Multiplex*) [3]. Um sistema típico está ilustrado na Figura 1. O transmissor nesse sistema é composto por um codificador convolucional, um entrelaçador e um modulador OFDM. O canal é a própria linha de distribuição. O receptor é composto pelo demodulador OFDM, um desentrelaçador e um decodificador de Viterbi.

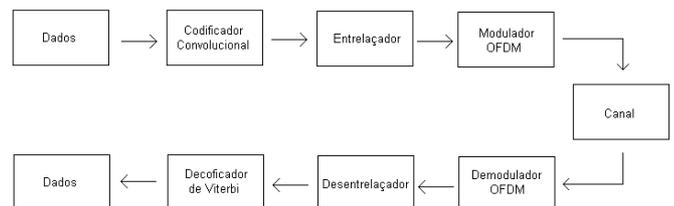


Fig. 1. Diagrama de blocos do sistema em questão.

O codificador convolucional em conjunto com o decodificador de Viterbi realiza a correção de bits errados no receptor (FEC – *Forward Error Correction*) [4].

O conjunto entrelaçador-desentrelaçador descorrelaciona a seqüência de bits para que uma seqüência de erros não cause a perda total da informação [5, 6].

Atualmente, no LABSIS (Laboratório de Sistema Microprocessados) do Dep. De Eng. Elétrica da UFBA, está sendo desenvolvido um sistema comunicação através de linhas de distribuição de 13,8 kV que conectam subestações da malha de distribuição de energia elétrica. Este projeto é um convênio de P&D ANEEL-COELBA.

Neste projeto, utiliza-se os transformadores de potencial (TP) como acopladores. Estes TPs possuem banda de 5 kHz.

O sistema utilizado é o mostrado na Figura 1, e a técnica de transmissão OFDM escolhida faz uso de 32 portadoras.

O foco deste trabalho é numa nova abordagem de entrelaçamento de dados capaz de lidar tanto com os problemas causados pelo impulso assíncrono (seqüência de erros no tempo), quanto com a seletividade em frequência do canal, que insere nulos na reposta em frequência do mesmo. A posição em frequência destes nulos varia com o tempo.

Um detalhamento do projeto do codificador de canal é apresentado na próxima seção e os resultados obtidos por simulação são mostrados e comentados na seção III, e na seção IV o trabalho é concluído.

II. O CODIFICADOR DE CANAL

Nesta seção são apresentadas as partes que constituem o codificador de canal, ou seja, o codificador convolucional e o entrelaçador. Porém, para se entender as escolhas feitas no projeto de tal codificador, é necessário ter em mente as dificuldades impostas pelo canal (ver seção I, e [1, 2]).

Antes da transmissão da informação, os dados são organizados na forma de pacotes matriciais, numa matriz 32×32 , como pode ser visto na Figura 2. Cada elemento desta matriz corresponde a um bit, e o conjunto de bits de cada linha é transmitido através de cada uma das portadoras (note que são 32 linhas na matriz e 32 portadoras).

A resposta em frequência do canal é variante com o tempo, e, nem sempre é possível determinar todos os parâmetros necessários para uma estimativa aceitável do comportamento do canal. Portanto, para o projeto do codificador, considerou-se algumas das piores situações possíveis. Para as simulações feitas foi considerado que o canal poderia destruir os dados tanto no tempo, impulsos assíncronos, como na frequência, nulos na resposta em frequência. No tempo, o resultado seria a perda de N_t bits em todas as portadoras, enquanto que na frequência o resultado seria a perda completa de N_f portadoras, vide Figura 2.

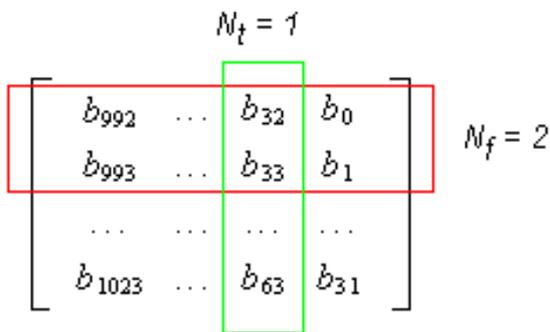


Fig. 2. Matriz de dados com exemplo para $N_t=1$ e $N_f=2$.

A. Codificação e Decodificação Convolucional

O código convolucional escolhido possui taxa $1/2$, ou seja, cada bit de informação codificado resulta em dois bits na saída do codificador. Seu gerador polinomial é $(7,5)$, o número de estados é igual a quatro e possui três registradores de deslocamento. Uma análise detalhada desse código é encontrada em [4].

A decodificação foi feita usando-se o decodificador de Viterbi com a etapa de *traceback* sendo realizada após a chegada de toda a informação. Sabe-se que tal esquema de codificação e decodificação é capaz de corrigir dois bits errados num intervalo de cinco bits, [4].

O codificador desenvolvido faz o processamento paralelo com 32 canais, no qual cada canal corresponde a uma

portadora, i.e. uma linha da matriz. Ou seja, o primeiro bit da sequência b_0 será codificado no primeiro canal, o segundo bit b_1 será codificado no segundo canal, e assim até o trigésimo segundo bit b_{31} que será codificado no trigésimo segundo canal. Continuando a sequência, b_{32} será codificado no primeiro canal e assim sucessivamente.

Nota-se que tal esquema proporciona a capacidade de correção do código para cada portadora em particular. Porém, essa proteção não é capaz de lidar com o problema da seletividade em frequência do canal e nem com a possibilidade de uma sequência de erros maior que dois bits no tempo. Portanto, faz-se necessário o uso de alguma técnica que possa amenizar esses problemas. A solução encontrada foi um entrelaçador em duas dimensões, tempo e frequência, o que é diferente do entrelaçador convencional, [5, 6], que apenas ameniza o problema do rápido desvanecimento temporal. A metodologia do entrelaçador 2D é descrita na subseção seguinte.

B. O Entrelaçador 2D

O entrelaçador proposto funciona operando sobre blocos de dados de 32×32 bits. O mesmo descorrelaciona as informações contidas tanto nas linhas (portadoras) como nas colunas (espaço de tempo), e, deste modo, a proteção é assegurada nas duas dimensões críticas ao PLC, discutidas nas seções precedentes.

Nota-se que as linhas da matriz a ser entrelaçada corresponde às portadoras e as colunas correspondem aos espaços de tempo (esse tempo depende da taxa de transmissão adotada).

Portanto, deste ponto em diante, as portadoras serão referidas como linhas da matriz entrelaçada, e as posições dos bits destruídos em cada portadora como colunas da matriz entrelaçada.

Nomeando-se a matriz depois de embaralhada de S e a matriz a ser embaralhada de E , lembrando-se que a contagem dos índices começa por zero, a função matemática que o entrelaçador opera sobre o bloco de dados é:

$$S_{i,j} = E_{p,q} \quad (1)$$

sendo,

$$i = 0, 1, \dots, 31$$

$$j = 0, 1, \dots, 31$$

$$p = (Ai+Bj) \bmod 32$$

$$q = (Ci+Dj) \bmod 32$$

Sendo A, B, C e D parâmetros que podem ser ajustados de acordo com as condições do canal. A Figura 3 ilustra um exemplo em que $A=22, B=5, C=13, D=5$. Neste exemplo, nota-se que o b_{636} estava na posição $a_{29,12}$ e após a operação de entrelaçamento foi para a posição $a_{9,11}$ e o b_{918} foi de $a_{23,3}$ para $a_{20,19}$.

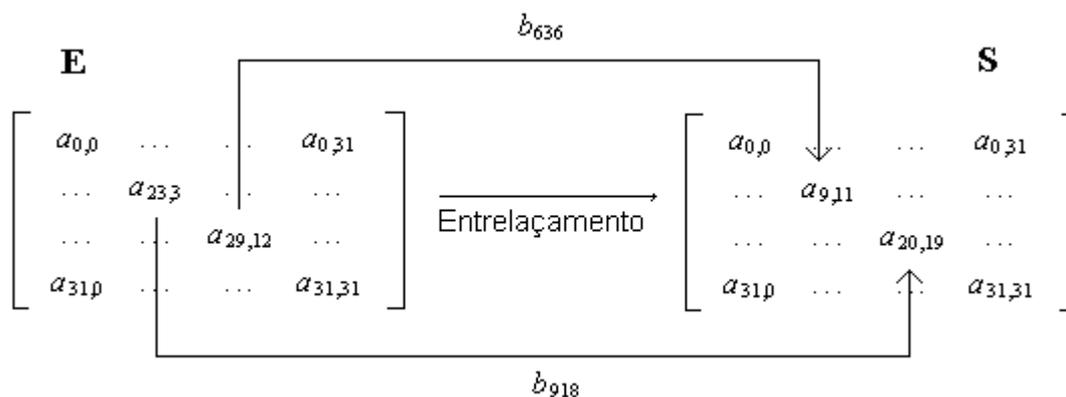


Fig. 3. Exemplo de entrelaçamento para A=22, B=5, C=13, D=5.

Foi observado que para cada teste realizado (ver seção III-A) uma certa combinação dos parâmetros resultava num melhor desempenho que as outras, e, por vezes, várias combinações resultavam no melhor desempenho possível, ou seja, BER (*Bit Error Rate*) igual a zero.

O desentrelaçador apenas opera a função inversa. Portanto, os parâmetros de embaralhamento devem ser os mesmos no transmissor e no receptor.

O desempenho desse entrelaçador pode ser melhorado aumentando-se a ordem da matriz de embaralhamento ou pelo desenvolvimento de alguma outra função matemática a ser aplicada na matriz.

III. RESULTADOS OBTIDOS

A simulação foi feita em ambiente computacional usando-se a linguagem de programação C. A modulação foi feita em banda base, pois o intuito é testar somente o conjunto codificador-entrelaçador e desentrelaçador-decodificador. Portanto, quando se diz que o canal destrói uma quantidade de bits (seção II-B), o que realmente ocorre é a inversão desses bits.

O objetivo dos testes é avaliar se algum conjunto de parâmetros (A,B,C,D) é capaz de obter BER igual a zero para uma certa condição do canal. As condições do canal foram simuladas fazendo-se combinações de N_f e N_t , cada uma delas variando de zero a seis.

A seguir a metodologia usada para os testes é explicada e, logo após, os desempenhos obtidos são mostrados.

A. Metodologia dos testes

Cada vez que o conjunto codificador-entrelaçador-desentrelaçador-decodificador foi testado, escolheu-se o número linhas N_f que seriam destruídas (leia-se, todos os bits invertidos) para simular a seletividade em frequência, assim como o número de colunas N_t que seriam destruídas para simular o rápido desvanecimento temporal. Tal procedimento é mostrado na Figura 2.

Depois de selecionados os valores de N_f e N_t , todas as posições possíveis foram testadas. Por exemplo, para $N_f=N_t=1$, o teste começa destruindo-se a primeira linha e a

primeira coluna, depois a primeira linha e a segunda coluna, e assim sucessivamente até a primeira linha e trigésima segunda coluna. Então o ciclo recomeça destruindo-se a segunda linha e a primeira coluna. E o procedimento continua até que todas as posições tenham sido testadas.

Uma observação importante é que quando N_f ou N_t é maior que um, as linhas ou colunas destruídas são sempre as adjacentes.

B. Resultados

A Tabela 1 mostra os resultados para alguns parâmetros de teste. Na tabela constam apenas as combinações de N_f e N_t onde foi possível se obter BER igual a zero, i.e. existiu um conjunto de parâmetros (A,B,C,D) que resultou em BER = 0 para aquela condição do canal.

Em alguns testes não foi possível obter BER = 0 para todas as posições de N_f e N_t . Por exemplo, no caso de $N_f = 5$ e $N_t = 0$, a BER = 0 só foi obtida quando as cinco primeiras linhas ou as cinco últimas linhas foram destruídas. Essa informação consta na coluna "Todas Posições" da Tabela 1, se a sinalização é "Sim" significa que a BER = 0 foi obtida em todas as posições, caso pelo menos uma das posições resultar em BER $\neq 0$ a sinalização é "Não".

Vale lembrar que a matriz sob teste é de ordem 32 x 32.

TABELA I
RESULTADOS PARA ALGUNS PARÂMETROS DE TESTE

N_f	N_t	Todas Posições
1 a 4	0	Sim
5	0	Não
0	1 a 4	Sim
0	5	Não
1 a 2	1 a 2	Sim
3 a 4	3 a 4	Não

IV. CONCLUSÃO

Neste artigo foi proposta uma abordagem para entrelaçamento de dados que visa superar as principais dificuldades do PLC.

A análise computacional do conjunto codificador e entrelaçador foi bastante satisfatória, indicando que o modelo proposto pode ser aplicado em casos práticos.

AGRADECIMENTOS

Os autores agradecem ao apoio financeiro da COELBA-ANEEL para realização desta pesquisa.

REFERÊNCIAS

- [1] M. Zimmermann and K. Dostert, "Analysis and Modeling of Impulse Noise in Broadband Powerline Communications," IEEE Trans. Electromagnetic Compability, vol. 44, no. 1, pp. 249-258, Feb. 2002.
- [2] M. Zimmermann and K. Dostert, "A Multipath Model for the Powerline Channel," IEEE Trans. Commun., vol. 50, no. 4, pp. 553-559, Apr. 2002.
- [3] J. Mao, Q. Gao, W. Yang and Y. Fu, "The realization of OFDM power line modem with DSP," Signal Processing, 2002 6th International Conference on, vol. 2, pp. 1753-1756, Aug. 2002.
- [4] A. J. Viterbi, "Convolutional codes and their performance in communication systems," IEEE Trans. Commun. Technol., vol. COM-19, pp. 751-772, Oct. 1971.
- [5] J. L. Ramsey, "Realizations of Optimum Interleavers," IEEE Trans. On Info. Theory, vol. IT-16, no. 3, pp. 338-345, May 1970.
- [6] G. D. Forney Jr., "Burst-correcting codes for the classic bursty channel," IEEE Trans. Commun. Technol., vol. COM-19, pp. 772-781, Oct. 1971.