

Implementação em FPGA do Paradigma TQC no padrão OCP para HDTV

José Adson O. G. Cunha, Évisson F. de Lucena, Solon F. de Lucena, Hamilton S. da Silva,
José Antônio G. Lima, Leonardo V. Batista

Resumo—Devido à grande quantidade de dados associados à Televisão de Alta Definição, faz-se necessário o uso de métodos de compressão de dados. O padrão de vídeo MPEG-2 usa técnicas do paradigma TQC (Transformada, Quantização e Codificação) em blocos de imagem de 8x8 pixels para explorar a correlação espacial entre pixels próximos na mesma imagem, descartar informações visualmente insignificantes e finalmente codificar. Este poster propõe uma implementação em FPGA do paradigma TQC no padrão OCP (*Open Core Protocol*). A arquitetura foi validada e testada através de simulação e a performance obtida mostra a possibilidade de seu uso em codecs para HDTV.

Palavras-Chave—HDTV, MPEG-2, Paradigma TQC, FPGA, OCP

Abstract—Due to the huge amounts of data associated with High Definition Television, it is necessary to use data compression methods. The MPEG-2 video standard uses techniques of TQC Paradigm (Transform, Quantisation, Codification) to blocks of 8x8 pixels to efficiently explore the space correlation between adjacent pixels, discard less relevant visual information and codify. This poster proposes a FPGA implementation of an OCP (*Open Core Protocol*) module based on TQC Paradigm. The architecture was validated and tested through simulation and the performance shows the possibility of its use in HDTV codecs.

Keywords—HDTV, MPEG-2, TQC Paradigm, FPGA, OCP

I. INTRODUÇÃO

Em geral, seqüências de vídeo contêm uma quantidade significativa de redundância estatística. O objetivo final de um sistema de codificação de vídeo é a redução do número de bits a serem armazenados ou transmitidos, explorando as redundâncias, descartando informação considerada irrelevante e codificando eficientemente a informação relevante [1].

A performance das técnicas de compressão de vídeo depende da quantidade de redundância contida na imagem, bem como das técnicas usadas na codificação [1]. A codificação de vídeo é estatística por natureza. A propriedade estatística básica sobre a qual esta codificação se baseia é a correlação entre pixels (*inter-pel correlation*) incluindo a correlação de movimento translacional entre quadros consecutivos. Os algoritmos de compressão de vídeo, como o MPEG-2 [ITU-T Recommendation H.262] [2], usam técnicas de Transformada Discreta de Co-senos (*Discrete Cosine Transform - DCT*) [1] em blocos de imagem de 8x8 pixels para explorar de forma eficiente a correlação espacial entre pixels próximos

José Adson O. G. Cunha, Évisson F. de Lucena, Solon F. de Lucena, Hamilton S. da Silva, José Antônio G. Lima, Leonardo V. Batista, Departamento de Informática, Universidade Federal da Paraíba, Brasil, E-mails: (adson, evisson, solon)@lavid.ufpb.br, (hamilton, jose, leonardo)@di.ufpb.br. Este trabalho foi parcialmente financiado pela FINEP.

na mesma imagem. A DCT tende a concentrar a energia do sinal de vídeo em poucos coeficientes [3]. Por sua vez, a quantização empregada no MPEG-2 [2][4], que consiste em dividir e arredondar cada coeficiente DCT por números vindos de tabelas de quantização [2], reduz o número de coeficientes DCT diferentes e gera uma grande quantidade de coeficientes nulos, que são eficientemente codificados nas etapas subsequentes de Codificação, através do RLC (*Run-length coding*) e VLC (*Variable-length coding*) [2].

O padrão OCP (*Open Core Protocol*) constitui um conjunto de definições de sinais e protocolos de comunicação com o propósito de possibilitar a interconexão de módulos de circuitos de uma forma padronizada, reduzindo o tempo de projeto e custo de manutenção de sistemas integráveis [3][11].

O desenvolvimento de um circuito em FPGA [5][6] de alta performance e baixo custo capaz de realizar as técnicas do paradigma TQC [2] no padrão OCP [3][11] para uso em codificadores para HDTV [7] foi o alvo deste trabalho.

II. ARQUITETURA PROPOSTA

O padrão OCP possibilita a interligação entre módulos de um sistema através de um barramento padronizado, o qual define uma interface ponto a ponto usando duas entidades de comunicação. Uma das entidades é definida como o mestre (*master*) e a outra definida como o escravo (*slave*). O mestre é a entidade de controle da comunicação e cabe a ele iniciar e gerar os sinais de controle. A entidade "escravo" responde aos comandos do mestre, tomando as ações correspondentes específicas de cada comando, recebendo os dados do mestre e/ou entregando dados ao mestre.

A figura 1 ilustra o contexto do módulo OCP do Paradigma TQC em um Sistema Codificador para HDTV, possuindo um módulo controlador e um módulo responsável pelos cálculos da estimação e compensação de movimentos presentes no padrão MPEG-2.

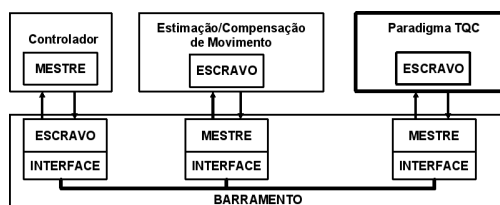


Fig. 1. Sistema Codificador para HDTV

O módulo OCP do Paradigma TQC é dividido em 4 blocos principais: bloco DCT-2D, bloco Quantizador, bloco

Codificador e bloco Controlador, este último é responsável por receber os sinais de entrada de acordo com o padrão OCP, bem como gerenciar a execução dos demais blocos através de sinais de controle. O módulo está ilustrado na figura 2.

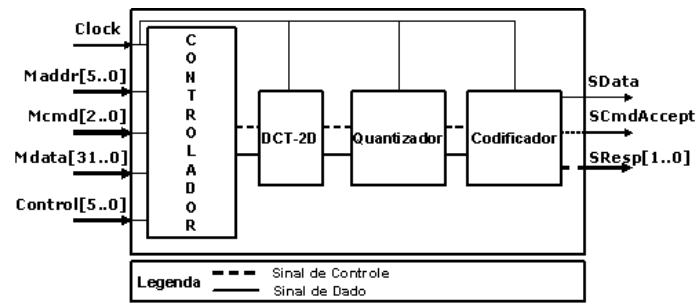


Fig. 2. Módulo OCP do Paradigma TQC

O módulo OCP do Paradigma TQC age como um escravo de uma instância OCP usando os sinais básicos: *Clock*, *MAddr*, *MCmd*, *SCmdAccept*, *SData* e *SResp*, e mais o sinal *Control*, que indica o endereço do chip. O bloco Controlador trata o sinal *SData*, de forma a fornecer os dados contidos no mesmo para os devidos blocos.

O esquema de blocos da DCT-2D está dividido em duas grandes partes: a primeira, formada por 8 blocos idênticos, responsável pelo cálculo da DCT-1D nas linhas e a segunda, também formada por 8 blocos idênticos, responsável pelo cálculo da DCT-1D nas colunas.

O bloco DCT-2D possui um sinal de controle que indica a saída de coeficientes DCT válidos para o bloco Quantizador, o qual, por sua vez, realiza os devidos cálculos de forma a gerar os coeficientes DCT quantizados ao bloco Codificador.

Os blocos DCT-2D e Quantizador operam em *pipeline* de 4 estágios, sendo necessários 17 ciclos de relógio para a saída do primeiro resultado do bloco da DCT-2D e 19 para a saída do primeiro resultado do bloco Quantizador. O *pipeline* foi utilizado por possibilitar uma boa relação de custo/desempenho.

Com base nisso, o primeiro coeficiente válido estará disponível no bloco Codificador depois de 36 ciclos de relógio, sendo indicado por um sinal de controle fornecido pelo bloco Quantizador. O bloco Codificador é responsável por fazer um rearranjo dos coeficientes DCT quantizados em formato *zigzag*. O mesmo possui uma memória para armazenamento dos códigos Huffman e um buffer que armazena os coeficientes que chegam ao bloco, de forma a não perdê-los, uma vez que a saída do código referente a um coeficiente é feito bit a bit, sendo um por ciclo de relógio, através do sinal *SData*. O sinal *SResp* indica a presença de sinais válidos em *SData* e o sinal *SCmdAccept* indica a resposta às requisições feitas ao chip.

III. METODOLOGIA E SIMULAÇÕES

O paradigma TQC MPEG-2 [2] no padrão OCP [3][11] foi implementado em VHDL [8], com sua arquitetura dividida em blocos. Para cada bloco tem-se uma descrição comportamental (VHDL) [8], e a descrição estrutural foi construída e validada usando a ferramenta Quartus II Web Edition [9][10].

A simulação foi dividida em dois passos. O primeiro, referente à inicialização, é necessário para resetar o circuito. O segundo passo refere-se à saída dos bits codificados depois de passados pelos processos do Paradigma TQC.

Como os pixels codificados possuem tamanho variado em bits, sendo a saída feita em cada ciclo de relógio, bit a bit, a taxa de vazão (em MPixels/s) varia dependendo da codificação dos pixels de cada bloco. De acordo com as tabelas Huffman [2], o tamanho máximo é de 23 bits por pixel codificado.

Os resultados obtidos, como número de elementos lógicos, blocos DSP e frequência da operação em cada dispositivo utilizado são mostrados na tabela 1.

TABELA I
RESULTADOS DO CIRCUITO

Dispositivo	Elementos Lógicos	Blocos DSP	Freq. Mhz
EP1S20F484C5 (Família Stratix)	3,462 (18%)	73 (91%)	81.67
EP2S15F484C3 (Família StratixII)	2,449 (19%)	81 (84%)	123.69
EP2C20F484C7 (Família CycloneII)	4,996 (26%)	51 (98%)	75.97

IV. CONCLUSÃO E TRABALHOS FUTUROS

Este poster propõe uma implementação em FPGA do paradigma TQC no padrão OCP. Através dos resultados obtidos na simulação, é possível concluir que é viável implementar as funções do paradigma TQC em um chip FPGA, compatível com as especificações HDTV. O uso de dispositivos FPGA abre novas possibilidades para reconfiguração e prototipação de circuitos. A frequência máxima de 123.69 Mhz para o dispositivo da família Stratix II permite uma vazão de 5.38 MPixel/s, considerando o caso máximo de 23 bits por pixel codificado, sendo cada bloco 8x8 processado em 0.185 μ s.

O padrão OCP possibilita o desenvolvimento de um circuito através de módulos, onde cada um é implementado separadamente para ser interligado posteriormente. Com base nisso, além do aproveitamento na área da TV Digital, esta proposta pode ser utilizada em qualquer esquema de codificação que use o paradigma TQC como um de seus recursos.

REFERÊNCIAS

- [1] K.R. Rao; and P. Yip, *Discrete Cosine Transform Algorithms, Advantages, Applications*. Academic Press, 1990.
- [2] ISO/IEC 113818-2 (MPEG-2).
- [3] Solon Ferreira et al. *An OCP Implementation of the Direct and Inverse Discrete Cosine Transform for HDTV*, Simpósio Brasileiro de Telecomunicações, 2004.
- [4] José Adson Cunha et al. *Implementação em FPGA da Transformada Discreta de Co-Senos com Quantização para HDTV*, Iberchip, 2005.
- [5] M.-B., Uwe, *Digital Signal Processing with Filed Programmable Gate Arrays*. Springer, 2001.
- [6] B. Zeidman, *Designing with FPGAs & CPLDs*, CMP Books, 2002.
- [7] M. Robin and M. Polin, *Digital Television Fundamentals: Design and installation of video and audio systems*. McGraw-Hill, second edition, 2000.
- [8] R. K. Dueck, *Digital Design with CPLD applications and VHDL*, Delmar Thomson Learning, 2000.
- [9] Altera Corporation. *Altera Data Book*, 1995.
- [10] Altera Corporation. *Using Quartus II Verilog HDL and VHDL Integrated Synthesis*, 2002.
- [11] *Open Core Protocol Specification 2.0*, Document Revision 1.1, 2003.