

Soluções de simulação e implementação em FPGA de um modulador ISDB-TB

Marcelo Carneiro de Paiva, Juliano Silveira Ferreira e Luciano Leonel Mendes

Resumo—Este artigo apresenta duas soluções complementares de um modulador ISDB-TB. A primeira consiste em uma simulação computacional, enquanto que a segunda é uma implementação em hardware do modulador. O objetivo foi criar uma simulação baseada na norma ABNT NBR 15601:2007 que resultasse em uma referência de projeto para a implementação em FPGA. Uma vez validado o modelo em software com o uso de um demodulador de referência foi possível empregar este modelo no desenvolvimento da solução em hardware.

Palavras-Chave—TV Digital, ISDB-TB, Simulação, Implementação, FPGA, VHDL.

Abstract—This paper presents two complementary solutions of an ISDB-TB modulator. The first solution is a computational tool developed using MATLAB and the second is a hardware implementation of the modulator. The aim of this paper is to develop a simulation based on ABNT NBR 15601:2007 standard resulting in a reference design to guide the implementation in FPGA. The software model was validated with a reference demodulator and used to develop the hardware solution.

Keywords—Digital TV, ISDB-TB, Simulation, Implementation, FPGA, VHDL.

I. INTRODUÇÃO

A evolução das tecnologias utilizadas nos serviços de comunicações é cada vez mais dinâmica. Um serviço tratado com atenção especial nos últimos anos é a radiodifusão de TV, que utiliza a tecnologia analógica a décadas e carece de uma mudança tecnológica rápida ou poderá perder espaço para outros tipos de serviços digitais. A digitalização dos serviços de telecomunicações possibilita criar novos modelos de negócio que ultrapassam as fronteiras dos antigos serviços prestados com tecnologia analógica, exigindo, inclusive, mudanças na regulamentação dos mesmos.

Com o objetivo de fomentar o desenvolvimento acadêmico e industrial, o governo federal via Financiadora Nacional de Estudos e Pesquisas - FINEP distribuiu recursos financeiros para desenvolvimento de projetos de pesquisa aplicada envolvendo instituições acadêmicas e empresas. O projeto desenvolvido pelo INATEL em parceria com a empresa Linear Equipamentos Eletrônicos concebeu um modulador de TV Digital de acordo com a norma ABNT NBR 15601:2007 [1] que especifica o subsistema de transmissão de TV Digital recentemente regulamentado no Brasil.

O objetivo deste artigo é apresentar um modelo de referência para o desenvolvimento de um modulador compatível com o

padrão ISDB-TB e utilizar este modelo para a implementação deste modulador em hardware. O primeiro passo para atingir esse objetivo foi realizar um estudo criterioso da norma que forneceu o conhecimento básico do subsistema de transmissão. O passo seguinte foi criar uma simulação computacional utilizando o Matlab. A simulação em Matlab foi criada usando funções que executam cada uma das etapas do subsistema de transmissão. Essa simulação tornou-se a referência adequada ao desenvolvimento de um protótipo implementado em FPGA, usando linguagem VHDL [3][4]. O protótipo foi criado usando linguagem VHDL para a plataforma Altera Stratix II [5].

II. O PADRÃO ISDB-TB

O ISDB-TB (*Integrated Services Digital Broadcasting - Terrestrial*) [1][2] utiliza a multiplexação por divisão em portadoras de frequências ortogonais com segmentação de banda BST-OFDM (*Band Segmented Transmission - Orthogonal Frequency Division Multiplexing*) [6] para permitir flexibilidade de operação e robustez contra a seletividade em frequência do canal [10]. A flexibilidade se deve à segmentação de banda, que permite ao sistema atender a três serviços diferentes (recepção fixa, móvel e portátil) no mesmo canal e simultaneamente, caracterizando a transmissão hierárquica. A robustez contra a seletividade em frequência do canal se deve ao uso de múltiplas portadoras e ao intervalo de guarda adicionado [7]. O sinal OFDM é gerado utilizando o método da transformada inversa de Fourier IFFT (*Inverse Fast Fourier Transform*), onde o sinal transmitido é dado por,

$$s(t) = \text{Re} \left\{ e^{j2\pi f_c t} \sum_{n=0}^{\infty} \sum_{k=0}^{K-1} c(n, k) \Psi(n, k, t) \right\}, \quad (1)$$

sendo,

$$\Psi(n, k, t) = \begin{cases} e^{j2\pi \frac{k-Kc}{T_u}(t-Tg-nTs)} & nTs \leq t < (n+1)Ts, \\ 0 & t < nTs, (n+1)Ts \leq t \end{cases} \quad (2)$$

onde,

k é o índice da portadora.

n é o número do símbolo.

K é o número total de portadoras (modo 1: 1405; modo 2: 2809; modo 3: 5617).

T_s é o tempo de duração do símbolo OFDM.

T_g é o tempo de duração do intervalo de guarda.

T_u é o tempo de duração da parte útil do símbolo OFDM.

f_c é a frequência central do sinal de RF.

K_c é o número da portadora correspondente à frequência central do sinal de RF (modo 1: 702; modo 2: 1404; modo 3: 2808).

$c(n, k)$ é o n -ésimo símbolo complexo, transmitido na k -ésima portadora.

No padrão ISDB-TB, o espectro de 6MHz destinado ao serviço de TV é dividido em 14 partes, onde 13 partes sucessivas são usadas para transmitir os sinais de TV e 1 parte é usada como banda de guarda entre os canais adjacentes. Cada uma das 13 partes do espectro de transmissão é chamada de segmento OFDM e ocupa uma banda de $\frac{6}{14}$ MHz = 428,57kHz. O segmento OFDM é a unidade básica da transmissão BST-OFDM no domínio da frequência e cada camada hierárquica é composta por um ou mais segmentos OFDM, tal como mostra a Figura 1.

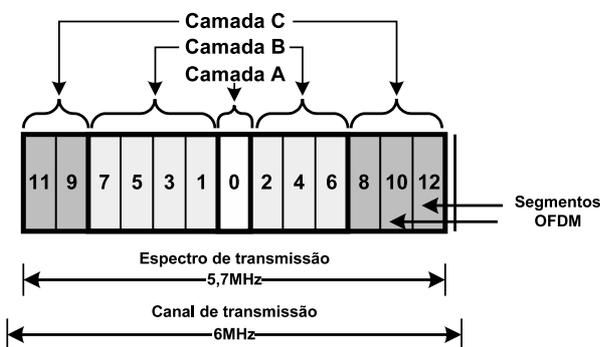


Fig. 1. Exemplo de divisão hierárquica do espectro OFDM.

Os 13 segmentos são agrupados em camadas hierárquicas de acordo com os serviços de recepção que devem ser atendidos, limitados a até três camadas hierárquicas. Para oferecer o serviço de recepção portátil apenas o segmento central do espectro de transmissão é usado. Os parâmetros de transmissão de cada camada podem ser definidos de forma independente, segundo os parâmetros apresentados na Tabela I. Normalmente, o segmento central é reservado para transmissão de sinais para recepção móvel, caracterizando, assim, a camada A da transmissão hierárquica. Sempre que o serviço de recepção móvel estiver disponível, este deve ser transmitido em uma camada hierárquica distinta, denominada camada A.

TABELA I

PARÂMETROS CONFIGURÁVEIS POR CADA CAMADA HIERÁRQUICA.

Parâmetros	Valores			
	DQPSK	QPSK	16-QAM	64-QAM
Taxa do código interno	1/2	2/3	3/4	5/6 7/8
Profundidade do entrelaçador temporal	380	760	1520	(modo 1)
	190	380	760	(modo 2)
	95	190	380	(modo 3)

Além dos parâmetros configurados para cada camada, existem possibilidades de configuração que são comuns a todas as camadas, tal como mostra a Tabela II. A vazão do sistema pode variar de acordo com os parâmetros apresentados nas

Tabelas I e II. A Tabela III apresenta a taxa de bits útil para cada segmento em função destes parâmetros. Note que a taxa de bits não varia com o modo de operação do sistema, ou seja, a taxa de bits não é uma função do número de portadoras. A Figura 2 apresenta o diagrama em blocos do modulador ISDB-TB.

A frequência de amostragem da IFFT é sempre a mesma,

TABELA II

PARÂMETROS CONFIGURÁVEIS POR SÍMBOLO OFDM.

Parâmetros	Valores			
Número de portadoras por símbolo OFDM	2048 sendo	1405	ativas	(modo 1)
	4096 sendo	2809	ativas	(modo 2)
	8192 sendo	5617	ativas	(modo 3)
Número de portadoras por segmento OFDM	108 sendo	96	ativas	(modo 1)
	216 sendo	192	ativas	(modo 2)
	432 sendo	384	ativas	(modo 3)
Tempo de símbolo OFDM efetivo	252µs (modo 1)			
	504µs (modo 2)			
	1008µs (modo 3)			
Intervalo de guarda	1/4	1/8	1/16	1/32
Frequência da IFFT	8,126984MHz			

independente do modo de operação, ocasionando diferentes tempos de símbolos OFDM. Esses diferentes tempos de símbolo permitem ajustar o sinal transmitido às condições de operação com múltiplos percursos, efeito Doppler e redes de frequência única.

No modo 1, o segmento OFDM opera com 108 portadoras, onde 96 portadoras transportam informações úteis e 12 portadoras são usadas com o objetivo de transmitir informações auxiliares e ajudar o receptor nos processos de sincronização, demodulação e detecção das informações de controle e configuração. Essas 12 portadoras são portadoras de canal auxiliar AC (*Auxiliary Channel*), portadoras espalhadas SP (*Scattered Pilot*), portadoras contínuas CP (*Continual Pilot*) e portadoras de informações de controle e configuração TMCC (*Transmission and Multiplexing Configuration Control*). As portadoras contínuas são usadas quando o esquema de modulação é diferencial (DQPSK) e as portadoras espalhadas são empregadas com modulações coerentes.

O total de portadoras de transmissão de um símbolo OFDM é dado pelo número de portadoras dos 13 segmentos mais uma portadora, adicionada no final do espectro, independente do modo de operação. Essa portadora adicional é utilizada quando o segmento adjacente usa modulação coerente. Aproximadamente 68% das portadoras usadas no computo da IFFT transportam informações e o restante são portadoras nulas.

O conjunto de 204 símbolos OFDM forma uma estrutura chamada quadro OFDM, que estabelece o ciclo no qual são transmitidas as informações de controle e configuração de multiplexação e transmissão nas portadoras TMCC.

A organização em quadros é importante para permitir que um número inteiro de pacotes TS (*Transport Stream*) de 204 bytes seja transmitida na duração de um quadro OFDM. Essa organização estabelece que os TS's transmitidos em cada camada hierárquica devem passar por um remultiplexador

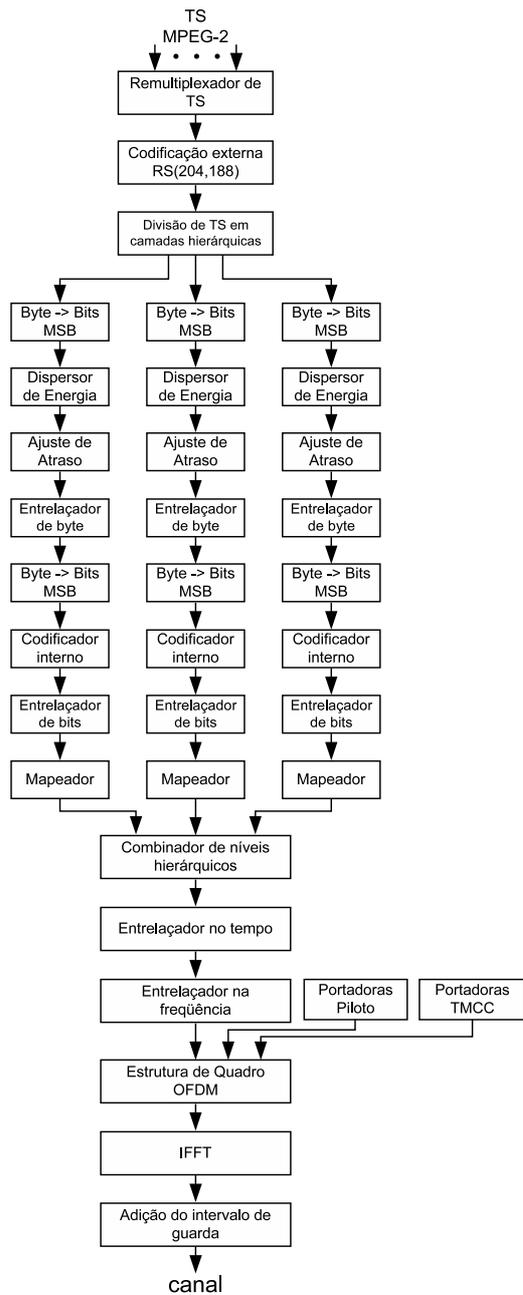


Fig. 2. Diagrama em blocos do modulador ISDB-TB.

que cria um único TS com uma taxa quatro vezes maior que a taxa de amostragem da IFFT (32,507936MHz). Para adequar as diferentes taxas dos TS's introduz-se pacotes nulos que posteriormente serão removidos. A seqüência de ocorrência dos pacotes TS nulos e de diferentes camadas hierárquicas criada pelo remultiplexador é chamado de quadro de multiplexação. O número total de pacotes TS, incluindo os pacotes nulos, transportados num quadro de multiplexação depende do modo de operação e do intervalo de guarda. O número de pacotes TS úteis transportados em cada segmento OFDM depende do modo de operação, do intervalo de guarda, do esquema de modulação e da taxa do código interno.

TABELA III
TAXA DE BITS POR SEGMENTO OFDM.

Modulação da portadora	Código interno	Taxa de dados (kbps)			
		IG 1/4	IG 1/8	IG 1/16	IG 1/32
DQPSK	1/2	280,85	312,06	330,42	340,43
	2/3	374,47	416,08	440,56	453,91
	3/4	421,28	468,09	495,63	510,65
QPSK	5/6	468,09	520,10	550,70	567,39
	7/8	491,50	546,11	578,23	595,76
16-QAM	1/2	561,71	624,13	660,84	680,87
	2/3	748,95	832,17	881,12	907,82
	3/4	842,57	936,19	991,26	1021,30
	5/6	936,19	1040,21	1101,40	1134,78
64-QAM	7/8	983,00	1092,22	1156,47	1191,52
	1/2	842,57	936,19	991,26	1021,30
	2/3	1123,43	1248,26	1321,68	1361,74
	3/4	1263,86	1404,29	1486,90	1531,95
	5/6	1404,29	1560,32	1652,11	1702,17
	7/8	1474,50	1638,34	1734,71	1787,28

IG = Intervalo de Guarda

A seqüência em que ocorrem os pacotes no quadro de multiplexação é gerada com base no funcionamento de um receptor modelo [1] para garantir que os pacotes sejam recuperados na mesma ordem em que foram gerados na transmissão, evitando a necessidade de inserir informações de posição adicionais aos dados.

Os pacotes TS que compõem o quadro de multiplexação são formados por 204 bytes, onde 188 bytes são provenientes do multiplexador MPEG e 16 bytes são nulos. Uma vez montado o quadro de multiplexação, um código externo é usado para proteger os pacotes. O código utilizado é o Reed Solomon (204,188) que retira os 16 bytes nulos e adiciona 16 bytes de paridade. O código RS(204,188) permite corrigir até 8 bytes em qualquer posição do bloco de 204 bytes. Caso a taxa de erro de bit na entrada do decoder RS seja menor que $2 \cdot 10^{-4}$, o código externo é capaz de reduzir os erros para 10^{-11} , considerada uma taxa quase livre de erro QEF (*Quasi Error Free*).

Os pacotes TS após a codificação de bloco devem ser conduzidos para a camada hierárquica designada pelo quadro de multiplexação. Os pacotes nulos que haviam sido inseridos para adequar a conversão de taxa dos TS serão removidos e somente os pacotes úteis serão conduzidos adiante.

Além de operar com o TS proveniente de um multiplexador MPEG, o subsistema de transmissão de TV digital prevê a possibilidade de operar com um TS já remultiplexado, ou seja, um feixe com a taxa de 32,507936Mbps montado com a estrutura de um quadro de multiplexação. Esse feixe recebe o nome de BTS (*Broadcast Transport Stream*).

Um circuito gerador de seqüência de bits pseudo-aleatória PRBS (Pseudo Random Bit Sequence) é usado para dispersar a energia de forma uniforme no domínio da frequência, o que evita que padrões repetitivos de bits possam concentrar energia em algumas frequências do espectro de transmissão. O entrelaçador de bytes é usado para aumentar o desempenho do codificador externo frente à erros em rajada introduzidos pelo canal. Esse processo é feito com um entrelaçador convolucional que apresenta um menor consumo de memória e latência nos dados. O entrelaçador tem 12 caminhos e

cada caminho apresenta atrasos múltiplos de 17 bytes, tal como mostra a Figura 3. O processo de entrelaçamento na transmissão e recepção causa um atraso total de 2244 bytes correspondente à 11 pacotes TS.

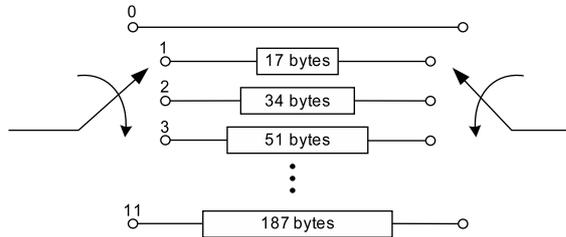


Fig. 3. Entrelaçador externo.

Para compensar esse atraso e evitar que os receptores demandem o uso de memórias, é inserido um atraso para ajuste antes de cada entrelaçador de byte. Desse modo, o atraso total para cada camada hierárquica será múltiplo de um quadro OFDM.

O código interno empregado é um código convolucional com taxa de código 1/2 e profundidade 7. O número de estados possíveis é 64. Através do puncionamento, que consiste em eliminar, seletivamente, alguns bits antes da transmissão, é possível fazer a codificação com as taxas 2/3, 3/4, 5/6 e 7/8. A Tabela IV apresenta os padrões de descarte de bits para atingir cada uma das taxas de codificação especificada.

TABELA IV
ESQUEMA DE PUNCIONAMENTO.

Taxa do código	Padrão de Puncionamento	Seqüência de transmissão
1/2	X : 1 Y : 1	X_1, Y_1
2/3	X : 1 0 Y : 1 1	X_1, Y_1, Y_2
3/4	X : 1 0 1 Y : 1 1 0	X_1, Y_1, Y_2, X_3
5/6	X : 1 0 1 0 1 Y : 1 1 0 1 0	$X_1, Y_1, Y_2, X_3, Y_4, X_5$
7/8	X : 1 0 1 0 1 0 1 Y : 1 1 0 1 0 1 0	$X_1, Y_1, Y_2, X_3, Y_4, X_5, Y_6, X_7$

A Figura 4 mostra o diagrama em blocos do codificador interno. Após a codificação interna realiza-se o entrelaçamento dos bits para reduzir a influência do ruído impulsivo no código interno. O entrelaçador de bits também provoca um atraso que deve ser compensado com a inserção de um atraso de ajuste. Nesse caso o atraso total será de dois símbolos OFDM.

Uma vez realizado o mapeamento dos bits nos símbolos de uma das possíveis constelações, as camadas hierárquicas são combinadas para passar pelo processo de entrelaçamento no tempo e na frequência. O segmento OFDM é montado a partir do sinal entrelaçado com a inserção das portadoras AC1, AC2, SP ou CP e TMCC, de acordo com regra de formação do quadro OFDM.

Os segmentos OFDM são organizados de maneira ascendente do centro da banda para as extremidades, de modo que o segmento 0 está posicionado no centro do canal de

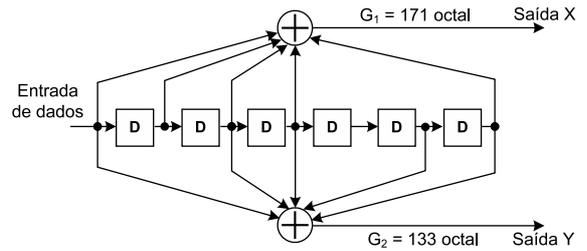


Fig. 4. Codificador interno.

transmissão. Os segmentos seguintes são posicionados sucessivamente ao lado do segmento central, conforme mostrado na Figura 1.

Na transmissão hierárquica, os segmentos de modulação diferencial devem ser posicionados imediatamente após o segmento central e os segmentos de modulação coerente imediatamente após os segmentos diferenciais, quando existirem, em ordem ascendente. O símbolo OFDM efetivo é gerado através do cômputo da IFFT do conjunto de todos segmentos OFDM. O símbolo OFDM de transmissão é criado com a adição do intervalo de guarda que corresponde a uma fração do símbolo OFDM efetivo.

III. MODELO DE REFERÊNCIA EM MATLAB

O estudo da norma foi o alicerce de conhecimento necessário para a concepção de uma simulação computacional que realiza todo o processamento para geração do sinal ISDB-T. A simulação criada usando códigos escritos na linguagem Matlab oferece uma interface que permite definir os parâmetros básicos de configuração e a quantidade de quadros OFDM a serem gerados. A simulação permite que qualquer configuração de camada hierárquica, modo de operação, intervalo de guarda, entrelaçador temporal, esquema de modulação, taxa de código interno especificada na norma seja selecionada. Para cada bloco do sistema foi criada uma função específica que recebe os parâmetros de entrada e retorna um sinal de saída. Esta metodologia permite analisar cada bloco do modulador ISDB-TB individualmente. Uma simulação que realiza o processo de demodulação e decodificação também foi criada para recuperar as informações transmitidas e verificar se o processamento de transmissão foi feito corretamente. Esse procedimento não garante a total compatibilidade entre a simulação e a especificação da norma, pois interpretações errôneas do processo de transmissão e recepção podem resultar em erros transparentes à análise.

O uso de softwares e equipamentos de teste permitiram validar a simulação através de testes em laboratório. Para reproduzir o sinal gerado na simulação foi utilizado o gerador de sinais Rohde&Schwarz modelo SMU200A [7], que é capaz de reproduzir seqüências de amostras obtidas de arquivos no formato texto. Esses arquivos foram criados no Matlab e possuem as amostras temporais correspondentes aos símbolos OFDM. Os testes de análise do sinal gerado foi realizado com equipamento de teste de sinais ISDB-TB modelo MS8901A [9] do fabricante Anritsu que é capaz de analisar diversos

parâmetros do sinal recebido.

O MS8901A permite computar a taxa de erro de bit efetiva do sinal recebido quando o subsistema de transmissão é alimentado com pacotes TS de 188 bytes contendo uma seqüência de bits pseudo-aleatória criada com polinômios de ordem 9, 15 ou 23.

Uma limitação no uso desses equipamentos para testes avançados se deve à memória RAM disponibilizada no equipamento de reprodução para armazenar as amostras do sinal gerado pela simulação. Esta memória é suficiente para armazenar um total de 58 milhões de amostras, que corresponde a aproximadamente 100 quadros OFDM, no modo 1. Devido à estrutura de transmissão da TMCC em quadros OFDM consecutivos, deve-se operar com uma quantidade par de quadros OFDM para que o processo de reprodução em laço dos quadros OFDM tenha um menor impacto na aquisição do sincronismo pelo equipamento de recepção. Devido ao caráter repetitivo do sinal OFDM reproduzido pelo gerador de sinais, o equipamento de recepção necessita constantemente ressincronizar a PRBS do sinal recebido. Os equipamentos usados durante o teste da forma de onda gerada pela simulação são apresentados na Figura 5.



Fig. 5. Equipamentos no teste da simulação.

Após comprovar que a ferramenta computacional é compatível com o padrão ISDB-TB, a mesma pôde ser empregada como modelo de referência para o desenvolvimento da solução em VHDL. Dessa maneira foi possível analisar amostras do sinal na saída de todos os blocos que compõem o diagrama em blocos do modulador ISDB-TB e, passo a passo, validar cada etapa implementada na em linguagem descritiva de hardware.

IV. IMPLEMENTAÇÃO EM FPGA

O protótipo foi implementado usando tecnologia FPGA, que oferece os recursos físicos necessários para o processamento demandado. O FPGA utilizado foi o modelo Stratix II EP2S60 [5], fabricado pela Altera, que disponibiliza 60440 elementos lógicos, 2544192 bits de memória RAM distribuídos em blocos de 512 bits, 4k bits e 512k bits, 36 blocos DSP e 144 multiplicadores, entre outros recursos internos. No protótipo foram utilizados kits de desenvolvimento que

disponibilizam recursos de hardware externos como circuitos de conversão digital para analógico, memórias e interfaces LVDS (*Low-Voltage Differential Signaling*). Para conceber o protótipo inicial foi necessário o uso de dois kits, pois o projeto completo requisitou elementos lógicos e memória RAM interna que não estavam disponíveis em um único dispositivo.

Uma vez concebido o protótipo nos kits de desenvolvimento, realiza-se o levantamento do hardware necessário para criar uma placa apenas com os recursos indispensáveis para o protótipo industrial.

Para os testes de validação do modulador ISDB-TB foi utilizada uma interface LVDS SPI (*Synchronous Parallel Interface*) para receber o TS proveniente do equipamento de reprodução de vídeo digital Rohde&Schwarz modelo DVRG [8]. Nessa interface, os dados são transferidos de forma paralela utilizando 2 pinos por sinal com tensões diferenciais. Um remultiplexador simples, criado em linguagem VHDL, capaz de receber apenas um TS foi utilizado para criar o quadro de multiplexação com a seqüência de pacotes TS correspondente a taxa permitida para operação com uma única camada hierárquica. Essa seqüência de pacotes poderia ser gerada internamente usando uma PRBS conhecida ou a partir da seqüência de pacotes TS do equipamento de reprodução de vídeo digital.

Para a transmissão hierárquica, os pacotes TS com PRBS são gerados internamente obedecendo a seqüência estabelecida pelo quadro de multiplexação criado pelo remultiplexador a partir dos parâmetros de cada camada hierárquica. O código RS(204,188) foi implementado utilizando uma função parametrizável comercializada pelo fabricante do FPGA, o que reduz o esforço de desenvolvimento do trabalho fora do foco principal. Cada pacote do quadro de multiplexação que passa pelo codificador RS é então imediatamente conduzido à camada hierárquica correspondente.

Os atrasos de ajuste que devem ser inseridos para compensar o atraso correspondente ao entrelaçador de bytes é realizado com o uso de um memória SRAM disponibilizada no kit de desenvolvimento. O uso da memória SRAM se justifica devido ao volume de bits que devem ser armazenados. Foi criado um algoritmo capaz de acessar a memória e gerenciar os ponteiros de escrita e leitura dos pacotes TS de cada camada hierárquica.

Os processos de aleatorização, entrelaçamento externo, codificação interna com puncionamento, entrelaçamento interno, mapeamento do bits em símbolos complexos seriais e combinação das camadas hierárquicas são realizados com recursos internos do FPGA, através de algoritmos em linguagem VHDL.

O procedimento de entrelaçamento dos símbolos complexos no domínio do tempo exige uma grande capacidade de memória. Esta memória deve ser capaz de acomodar a quantidade de símbolos que devem ser armazenados para gerar a dispersão temporal e também o atraso de ajuste necessários para a operação completa. Duas memórias SRAM foram utilizadas para possibilitar a operação em todas as configurações especificadas na norma.

A Figura 6 apresenta o diagrama em blocos do sistema

responsável por realizar o entrelaçamento do símbolos seriais no domínio do tempo. A memória ROM armazena uma tabela que contém a quantidade de memória usada por cada configuração possível. A memória RAM armazena as variáveis que indicam a posição de memória SRAM que deve ser acessada para cada portadora do símbolo OFDM. O acesso à memória SRAM ocorre numa taxa um pouco mais lenta do que a entrega de dados na entrada do entrelaçador. As memórias FIFO de entrada e saída são usadas para compatibilizar esse fluxo de dados em diferentes taxas. A unidade de controle gerencia todo o processo de escrita e leitura nas memórias ROM, RAM e SRAM através de uma máquina de estados. Os dados entrelaçados no tempo sofrem

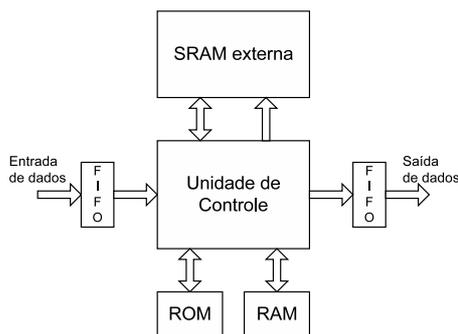


Fig. 6. Diagrama em blocos do entrelaçador de símbolos da portadora.

os processos de entrelaçamento na frequência para receber as portadoras piloto e as portadoras que transportaram as informações da TMCC. Tanto as portadoras inseridas em cada segmento OFDM quanto a informação carregada por cada portadora inserida obedecem a estrutura de formação do quadro OFDM, que deve ser síncrona ao quadro de multiplexação. Toda essa operação de criação do quadro OFDM é comandada por uma máquina de estados.

Para o cômputo da IFFT também é usada uma função parametrizável disponibilizada pelo fabricante do FPGA que permite reduzir a lógica usada e o tempo de desenvolvimento do protótipo. A inserção do intervalo de guarda para criar o símbolo OFDM de transmissão é facilmente implementada com o uso de uma memória interna.

Para facilitar o procedimento de teste do protótipo são utilizados NCO's (*Numerically Controlled Oscillator*) internos ao FPGA capazes de criar amostras de ondas senoidais e co-senoidais com frequências na ordem de unidades de MHz, que multiplicadas pelas amostras do símbolo OFDM em banda base produzem um sinal modulado numa frequência intermediária digital na saída do DAC (*Digital to Analog Converter*).

A Figura 7 mostra o protótipo implementado usando dois kits de desenvolvimento da Altera.

V. CONCLUSÕES E RESULTADOS ALCANÇADOS

A chegada da TV Digital no Brasil permitiu que a indústria nacional desenvolvesse, em parceria com a academia e com o apoio do Governo Federal, soluções comparáveis àquelas apresentadas por diversos fabricantes internacionais. No âmbito



Fig. 7. Protótipo usando kits de desenvolvimento.

desse projeto foram apresentadas duas abordagens para a implementação do subsistema de modulação.

A solução de simulação baseada na norma ABNT NBR 15601:2007 foi criada com o objetivo de fornecer uma referência para a implementação da solução em hardware.

O modelo de simulação foi validado com o uso do Rohde&Schwarz modelo SMU200A, capaz de reproduzir a seqüências de amostras geradas na simulação, e do Anritsu modelo MS8901A, que é um receptor de referência capaz de analisar o sinal recebido. A partir do modelo validado foi possível desenvolver a solução em hardware, empregando FPGA.

O produto resultante deste desenvolvimento está sendo fabricado por uma indústria nacional e é uma solução interessante para as operadoras de TV implementarem a TV Digital no Brasil.

AGRADECIMENTOS

Ao INATEL que ofereceu todos os recursos indispensáveis para a execução deste trabalho e a Linear Equipamentos Eletrônicos Ltda. que apoiou o trabalho oferecendo todo o suporte necessário. Agradecimento especial aos engenheiros Rodrigo Barbosa Brito, Rafael Mendes Vilela, Ivan Simões Gaspar que contribuíram com participação expressiva no desenvolvimento deste trabalho.

REFERÊNCIAS

- [1] ABNT NBR 15601:2007, *Televisão digital terrestre - Sistema de transmissão*. ABNT, primeira edição Novembro 2007.
- [2] ARIB STD B32 v1.6, *Video Coding, Audio Coding, and Multiplexing Specifications for Digital Broadcast*, ARIB, Novembro 2006.
- [3] J. BHASKER, *A VHDL Primer. 3ed.* Prentice Hall, 1999.
- [4] Sudhakar YALAMANCHILI, *textitVHDL Starter's Guide*. Prentice Hall, 1998.
- [5] Altera. **Stratix II Device Family Overview**. Disponível em: <<http://www.altera.com/products/devices/stratix-fpgas/stratix-ii/stratix-ii/overview/st2-overview.html>> Acesso em: 27 de Junho de 2008.
- [6] A. R. Bahai and B. R. Saltzberg, *Multi-Carrier Digital Communications - Theory and Applications of OFDM*, Kluwer Academic, 1999.
- [7] Rohde&Schwarz, R&S SMU200A - Vector Signal Generator, Manual.
- [8] Rohde&Schwarz, R&S DVRG - Digital Video Recorder Generator, Manual.
- [9] Anritsu, MS8901A - Digital Broadcast Signal Analyzer, Operation Manual vol.1 e vol.2, março 2006.
- [10] M. Yacoub, *Foundations of Mobile Radio Engineering*, CRC Press, 1993.