

Processamento multicore para reconstrução online de energia por meio de redes neurais

Melissa Aguiar, Lucca Viccini, Dabson Ferreira, Mariana Resende, Mateus Faria, Luciano Filho e José de Seixas

Resumo — A reconstrução de energia em calorímetros é um processamento executado em pulsos gerados em seus eletrodos para estimar a energia de partículas subatômicas que atravessam seu material. Características não-gaussianas do ruído de calorímetros operando em altas taxas de evento demonstram que métodos não-lineares de estimação são mais indicados. No entanto, tais métodos tendem a ter um alto custo computacional, o que dificulta sua implementação online. Apresenta-se, com este trabalho, a implementação de uma rede neural embarcada em um processamento multicore em FPGA capaz de operar a uma taxa de aquisição acima de 40 MHz, bem como uma implementação no Calorímetro do Experimento ATLAS.

Palavras-chave — Calorimetria; Rede neural; FPGA; Multicore.

Abstract — The energy reconstruction in Calorimeters is a process executed in pulses generated in its electrodes to estimate the energy of subatomic particles that go through its material. Non-Gaussian characteristics of the noise in calorimeters operating at high frame rates demonstrate that non-linear estimation methods are more appropriate. Nevertheless, such methods tend to have a high computational cost, which makes their online implementation an inconvenience. Is presented with this work, the implementation of an embedded neural network in a multicore process in FPGA, capable of operating at an acquisition rate above 40 MHz, as well as an implementation in the Calorimeter of the ATLAS Experiment.

Keywords — Calorimetry; Neural network; FPGA; Multicore.

I. INTRODUÇÃO

Experimentos de física de altas energias utilizam complexos sistemas de instrumentação. Tais empreendimentos têm como objetivo estudar os constituintes básicos da matéria a partir de observações de eventos raros advindos, por exemplo, de colisões entre feixes de partículas se movimentando próximos à velocidade da luz.

O Grande Colisor de Hádrons (LHC) é hoje o maior acelerador deste tipo no mundo. Em operação desde 2008, está situado sob a fronteira entre a França e a Suíça, possuindo 27 km de circunferência [1]. Os eventos de colisão altamente energéticos produzem uma grande quantidade de partículas elementares. O LHC colide feixes de partículas em quatro pontos de interesse onde estão localizados experimentos distintos,

Melissa Aguiar, Lucca Viccini, Dabson Ferreira, Mariana Resende, Mateus Faria, Luciano Filho, Núcleo de Instrumentação e Processamento de Sinais - NIPS, Universidade Federal de Juiz de Fora, Juiz de Fora-MG, e-mails: melissa.aguiar@engenharia.ufjf.br, lucca.viccini@engenharia.ufjf.br, ferreira.santos@engenharia.ufjf.br, mariana.resende@engenharia.ufjf.br, mateus.hufnagel@engenharia.ufjf.br, luciano.andrade@engenharia.ufjf.br.

José de Seixas, Laboratório de Processamento de Sinais - LPS, Universidade Federal do Rio de Janeiro, Rio de Janeiro-RJ, e-mail:seixas@lps.ufrj.br.

dentre estes o Experimento ATLAS [2], que é o ambiente de desenvolvimento deste trabalho.

O ATLAS (*A Toroidal LHC ApparatuS*) é o maior experimento em feixes de partículas já construído. Possui formato cilíndrico, medindo 44 m de comprimento, 25 m de altura e pesando cerca de 7.000 toneladas. Assim como os experimentos de feixes de partículas modernos, o ATLAS é subdividido em três sistemas de detecção. Próximo ao ponto de colisão, tem-se o detector de trajetória, seguido pelos calorímetros, e na parte mais externa ao detector, o espectrômetro de múons [2], como observado na Figura 1.

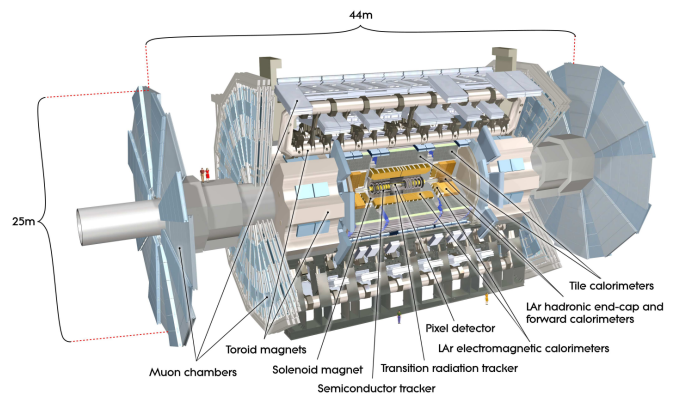


Fig. 1: Visão geral dos subdetectores do ATLAS. Extraído de [2].

Em experimentos de física de altas energias, os calorímetros realizam tarefas decisivas que envolvem desde a seleção de eventos de interesse à medição precisa da energia de partículas. Têm como funcionalidade principal explorar os chuveiros de partículas que são gerados pelas interações entre partículas incidentes e o material detector [3]. O ATLAS possui dois calorímetros, o Calorímetro Eletromagnético ou de Argônio Líquido (LAr - *Liquid Argon*), mais próximo ao ponto de colisão do LHC; e o Calorímetro Hadrônico ou Calorímetro de Telhas (TileCal - *Tile Calorimeter*), situado externamente ao invólucro do calorímetro de LAr [2]. Estes calorímetros são responsáveis por estudar os dois tipos de chuveiros de partículas gerados na interação de partículas fundamentais com a matéria: os chuveiros eletromagnéticos e hadrônicos, respectivamente.

O Calorímetro de Telhas recebe esse nome por ser constituído de placas cintiladoras em forma de telha como material ativo, intercaladas por placas de aço como material passivo, finamente segmentados que, ao serem agrupados em células, totalizam cerca de 10.000 canais de leitura, permitindo uma

boa localização espacial de chuveiros de partículas. Estes, por sua vez, ao incidirem sobre o material ativo do detector, fazem com que sejam gerados fótons nas células, que são capturados por fibras óticas e convertidos em sinal elétrico analógico por foto-multiplicadoras [2]. Esse sinal é condicionado e amplificado de modo que sua amplitude seja proporcional à energia da partícula depositada na célula e, então, digitalizado a uma frequência de 40 MHz. Todas essas operações são realizadas por eletrônica dedicada, e o ADC (*Analog-to-Digital Converter*) é sincronizado com o cruzamento de feixes (*BC - Bunch Crossings*) de partículas do LHC, que trabalha na mesma taxa.

É necessário um sofisticado sistema de filtragem e processamento *online* de dados para que a seleção de eventos de interesse seja realizada com elevado grau de qualidade e confiabilidade [4]. Uma das grandezas centrais que auxilia nesta decisão é a energia das partículas geradas. A taxa de colisão de 40 MHz do LHC exige que o processo de reconstrução de energia nas células dos calorímetros trabalhe nesta mesma taxa e com um limite estabelecido de latência. Este processo é implementado em *hardware* dedicado de alta velocidade, utilizando dispositivos FPGAs [5].

O LHC segue um planejamento de atualizações para elevar a densidade dos feixes de partículas, bem como a probabilidade de interações em cada BC com o objetivo de aumentar a detecção de eventos raros de física. O incremento no número de interações no ATLAS impacta no processo de reconstrução de energia nos calorímetros, pois a duração do sinal (150 ns no TileCal) é maior do que o período de colisão de 25 ns (40 MHz) do LHC, aumentando a probabilidade de sobreposição de sinais nos canais de leitura.

Com este fenômeno, conhecido como *pile-up*, sinais de interesse estarão imersos em sinais secundários, defasados, modificando consideravelmente a estatística do ruído na medição. Uma das principais características deste novo tipo de ruído é que o mesmo deixa de ser gaussiano ao apresentar caudas de sinais secundários. Portanto, para realizar a estimação da amplitude do pulso do sinal de interesse, de forma ótima, é necessária a utilização de métodos não-lineares.

Em [6] e [7] foram apresentadas as bases teóricas para a implementação de um procedimento de estimação de amplitude por meio de redes neurais artificiais (RNA) *feedforward perceptron* multicamadas (FF-MLP). Este procedimento visa a reconstrução de energia no TileCal diante deste cenário de funcionamento do LHC, utilizando dados de simulação. A abordagem mostrou um menor erro na reconstrução em comparação com métodos lineares anteriormente propostos, baseados em filtragem inversa com estruturas de filtros FIR (*Finite Impulse Response*). É fundamental, para funcionamento *online*, que sua implementação seja de baixo custo computacional, com 10.000 canais de leitura individuais e que não haja deterioração de seu desempenho. Com este trabalho, temos como objetivo central propor uma implementação desta RNA de forma embarcada em FPGA, sendo capaz de operar *online* no ATLAS. Para tanto, propõe-se uma arquitetura baseada em múltiplos núcleos de um processador customizado [11], desenvolvido no Núcleo de Instrumentação e Processamento de Sinais (NIPS), da Faculdade de Engenharia Elétrica da

UFJF. Este trabalho organiza-se da seguinte forma: na seção II, será apresentada a estrutura do estimador de amplitude, baseado em redes neurais artificiais FF-MLP. Na seção III, é dada ênfase no processador utilizado. Já a implementação da rede no processador em uma estrutura *multicore*, assim como otimizações aplicadas ao mesmo serão abordadas na seção IV. Por fim, na seção V, serão mostrados os resultados obtidos e, as considerações finais, apresentadas na seção VI.

II. RECONSTRUÇÃO DE ENERGIA COM REDES NEURAIS ARTIFICIAIS FF-MLP

Para que a rede realize a estimação da amplitude do sinal de interesse, o mesmo deve estar centrado em uma janela de observação com $m + 1$ amostras de forma que a saída seja uma estimativa da amplitude da amostra central. Sendo assim, para uma aplicação *online*, cuja estimativa deve ser feita a cada nova amostra adquirida, torna-se necessária a utilização de registradores de deslocamento (SR - *shift-registers*). Tais componentes armazenam as m amostras mais recentes e as apresentam junto com a amostra atual à rede neural, de forma paralela. Este procedimento é apresentado na Figura 2 para uma célula de leitura do calorímetro.

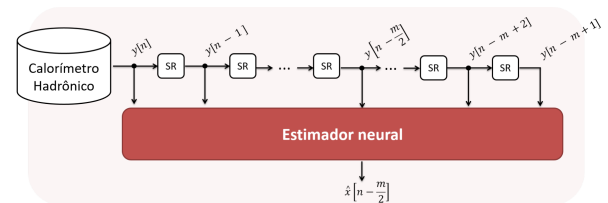


Fig. 2: Rede *feedforward* em aplicação de fluxo contínuo. Extraído de [6].

A saída estimada \hat{x} é referente à colisão central à janela, $\frac{m}{2}$, no caso da rede possuir número de nós par, e $\frac{m+1}{2}$ para números ímpares. A rede é composta por uma camada escondida. Os nós de entrada e o número de neurônios foram determinados através de simulações exaustivas, resultando em dez nós de entrada ($m = 9$) e quatro neurônios na camada escondida. A função de ativação utilizada para os neurônios da camada escondida foi a tangente sigmóide. A saída da rede é apenas um combinador linear das saídas dos quatro neurônios da camada oculta, somados a um *bias*. Os sinais escolhidos para treinamento, validação e teste, assim como detalhes sobre o ajuste dos pesos sinápticos, estão descritos em [7]. Os dados utilizados foram gerados através de simulação de *Toy Monte Carlo*, que produz sinais com características similares às encontradas no TileCal [8]. Os dados das simulações foram gerados visando reproduzir as condições operacionais para células localizadas em diferentes regiões do calorímetro. Para tal, são criados sinais com diferentes taxas de deposição de energia, imersos em ruído gaussiano. Sendo assim, o ruído de *pile-up* se intensifica de modo proporcional à taxa de deposição.

Visando uma implementação em FPGA, foi traçada uma estratégia de quantização dos pesos sinápticos da rede em

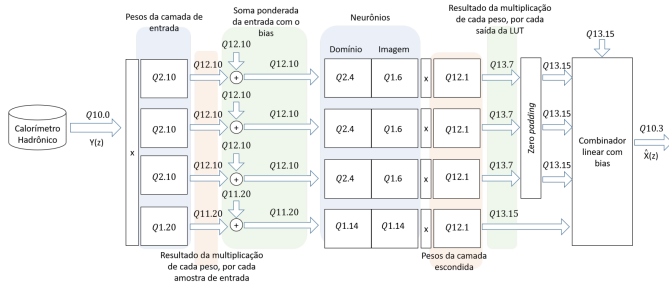


Fig. 3: Diagrama de ponto fixo do estimador de amplitude baseado em RNA FF-MLP. Extraído de [7].

ponto fixo. Quanto à função de ativação dos neurônios, é proposta uma limitação e discretização do seu domínio de forma a permitir uma implementação direta em LUT (*Look-Up Table*), armazenada em memória. Na Figura 3 ilustra-se o diagrama de ponto fixo da RNA proposta. As representações em ponto fixo $Q_{i.f}$ (com i e f sendo o número de *bits* na parte inteira e fracionária, respectivamente) escolhidas nesta figura serão descritas na seção de resultados. O quarto neurônio apresentou um peso muito mais significativo na camada de saída, de forma que sua quantização necessitou de uma representação mais precisa que os demais neurônios [6].

III. O PROCESSADOR SAPHO

Muitos sistemas embarcados utilizam Processadores *Soft-Core* (PSCs) para viabilizar a implementação em *hardware* de algoritmos complexos [9]. Dentre os diversos PSCs disponíveis, tanto os comerciais quanto os de código aberto [10], uma característica comum a eles é a sua arquitetura fixa, de forma que, independente da complexidade do programa embarcado, a mesma quantidade de recursos em *hardware* é alocada. E mais, o tamanho da palavra de dados é fixada geralmente em 32 *bits*, sendo, na maioria das vezes, superdimensionada.

Foi utilizado o SAPHO (*Scalable Architecture Processor for Hardware Optimization*), PSC de código aberto desenvolvido no NIPS da UFJF, para realizar a implementação do método de estimação de energia proposto neste trabalho. Diferentemente dos diversos PSCs disponíveis, ele não possui uma arquitetura fixa. O SAPHO já foi utilizado em diversos sistemas consolidados, como nos trabalhos [11], [12] e [13], por meio dos quais é possível obter detalhes mais aprofundados a respeito da estrutura e funcionamento do mesmo.

É importante ressaltar que o SAPHO possui uma IDE (*Integrated Development Environment*) que foi desenvolvida para chamar seus compiladores C e *Assembler*. O compilador C interpreta o código do usuário, que é escrito em sua IDE utilizando um subconjunto da linguagem C, e gera um código em linguagem *Assembly*. Em seguida, esse código é utilizado pelo *Assembler* para gerar o arquivo com a descrição de *hardware* em linguagem *Verilog*, que pode ser sintetizado em qualquer FPGA. Suas memórias de dados e de programa possuem número de endereços auto-escaláveis e, além disso, a geração dos circuitos internos da Unidade Lógico-Aritmética (ULA) é automática, de acordo com as instruções presentes no código em *Assembly*. Na prática, a IDE do SAPHO possui

ferramentas para auxiliar na parametrização e no desenvolvimento com processadores, permitindo que parâmetros como o tamanho da palavra de dados e o número de endereços de entrada e saída possam ser ajustados pelo programador.

IV. MÉTODO DE IMPLEMENTAÇÃO PROPOSTO

Nesta seção serão descritas as etapas de implementação do método proposto, sendo que a primeira detalha o desenvolvimento do processador utilizando o SAPHO como principal ferramenta. Após isso, serão mostradas algumas modificações na estrutura do SAPHO, visando otimizar este tipo de implementação para, por fim, propor uma estrutura *multicore* que respeite a latência do sistema de aquisição de dados do ATLAS.

A. Implementação da RNA em ponto fixo no SAPHO

O diagrama da Figura 3 foi implementado sequencialmente em *software*. O processador inicia lendo os 10 componentes do vetor de entrada, armazenados nos registradores de deslocamento externos. Os coeficientes das sinapses são constantes em *software* já representadas em ponto fixo. São usados *arrays* de constantes previamente calculadas para as LUTs. A LUT do quarto neurônio ocupa a maior parte da memória alocada para o processador, pois a precisão deste neurônio mostrou-se de vital importância para manter uma boa representação dos dados de saída [6].

O código opera em um *loop* infinito, trabalhando em uma nova janela, no momento em que a atual é finalizada. O tempo de processamento de uma janela impede que um único processador opere nos dados, de forma ininterrupta, sem perda de informação. A arquitetura *multicore* proposta para resolver este problema será detalhada ainda nesta seção.

B. Otimização da estrutura do processador

Foram feitas modificações na estrutura do processador com o intuito de otimizar a computação da rede neural. Observou-se que o cálculo de valores absolutos é necessário para cada acesso à LUT e, para otimizar este ponto, uma nova instrução foi criada na Unidade Lógico Aritmética do processador, que executa o cálculo do valor absoluto em *hardware* e em um único ciclo de *clock*.

Operações em ponto fixo exigem o uso frequente de deslocamento de *bits* para direita e para a esquerda. Tais circuitos ocupam muita lógica em *hardware* quando a quantidade de *bits* a ser deslocada é dinâmica; porém, esta quantidade é sempre fixa em seis posições para o código implementado. A ULA foi, portanto, modificada para realizar apenas deslocamentos fixos de seis *bits*, reduzindo em 50% os recursos de *hardware* alocados para cada processador.

C. Proposta de estrutura multicore

Devido à característica intrínseca ao TileCal referente aos sinais de leitura serem adquiridos a uma taxa de 40 MHz, a estratégia adotada para o sistema proposto operar em fluxo contínuo foi a implementação de uma arquitetura *multicore*. O objetivo foi tornar possível que diversos processadores

operem em paralelo, de forma independente entre si, para que diversas janelas de dados sejam calculadas ao mesmo tempo. Tal estrutura pode ser vista no diagrama da Figura 4.

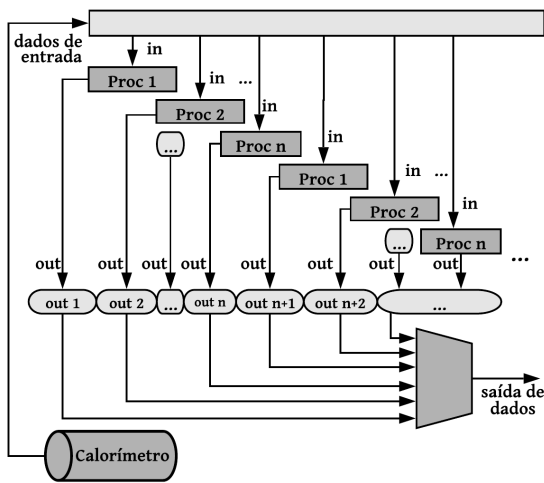


Fig. 4: Diagrama da estrutura multicore implementada.

Nesse diagrama, sempre que cada nova amostra vinda de um canal de leitura do TileCal é recebida (a cada 25 ns), haverá um grupo de processadores executando a etapa de leitura para posicionar a nova amostra corretamente na sua janela de dados. Esta, por sua vez, é computada integralmente em cada processador, de forma independente um do outro, mantendo um fluxo contínuo e sequencial de processamento. Após realizadas as operações necessárias, os dados referentes ao sinal reconstruído das respectivas janelas são representados na saída, onde um multiplexador recebe a saída de cada processador no instante correto. Assim, a partir do momento em que se dá a primeira saída de dados, ele passa a compor a sua nova janela de entrada, que ocorre logo após a janela de entrada do último processador da estrutura, de forma que todo o processo se repita sem que haja perda de dados. Dessa forma, a partir do momento em que a primeira saída de dados ocorre, as próximas se sucedem a cada 25 ns, sem interrupções.

Visando analisar como a variação da frequência operacional afeta nas características de tempo, de custo lógico e de memória da estrutura, foram adicionados ciclos de *clock* entre os pulsos de entrada de dados, de forma que tais pulsos continuassem ocorrendo de forma síncrona com a taxa de colisões do LHC de 40MHz (ou seja, um evento a cada 25ns). Por exemplo, para 4 ciclos de *clock* entre cada pulso de entrada de dados, é necessário que a estrutura opere a uma frequência de $4 \times 2 \times 40\text{MHz} = 320\text{MHz}$ para estar sincronizada com o sistema de aquisição de dados do ATLAS. Para 5 ciclos de *clock*, seguindo a mesma lógica, a frequência necessária é de $5 \times 2 \times 40\text{MHz} = 400\text{MHz}$. Tal análise foi realizada para a frequência operacional da estrutura variando entre 320MHz e 2GHz. Os resultados serão apresentados a seguir.

V. RESULTADOS

A quantização da RNA foi realizada utilizando a notação Q modificada, que leva em consideração o número de *bits* e

a posição do ponto na sequência binária [14]. Essa escolha permitiu observar o impacto da representação das constantes em ponto fixo na eficiência da rede ao variar o número de *bits* utilizados para esta representação.

Na Figura 5 é possível observar a estratégia de quantização da função de ativação dos neurônios 1, 2 e 3 da camada escondida, admitindo-se um erro máximo de 1% em comparação à rede simulada em ponto flutuante. Já na Figura 6 ilustra-se o processo de quantização dos pesos da camada escondida. Esse mesmo método foi utilizado para as demais partes da rede a partir do qual se pôde construir o diagrama da Figura 3 [7]. De acordo com este diagrama, foi possível otimizar a arquitetura do processador SAPHO, limitando-o à maior sequência binária, que é 31 *bits*.

Quantização da função de ativação dos neurônios 1 a 3. Erro $\leq 1\%$.

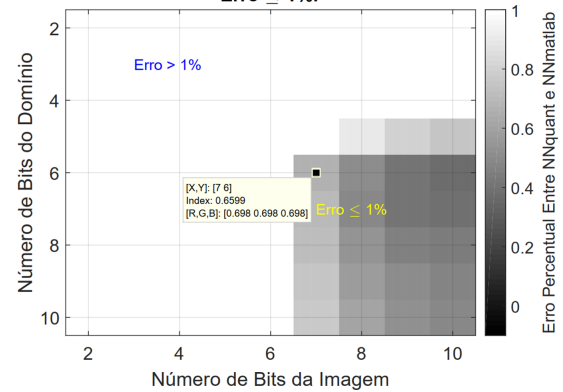


Fig. 5: Método de quantização da função de ativação. Extraído de [7].

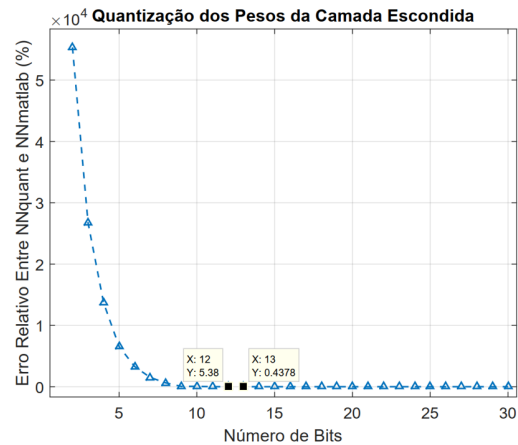


Fig. 6: Método de quantização dos pesos da camada oculta. Extraído de [7].

As ferramentas Modelsim-Altera e Quartus da Intel [15] foram utilizadas para realizar as simulações de operação da estrutura multicore, na qual foi possível analisar como a frequência operacional influencia no número de processadores, na quantidade de elementos lógicos, no número de *bits* de memória e no tempo de atraso (Δt), sendo este o tempo para que o sinal reconstruído comece a ser descarregado na saída, de forma ininterrupta. Os resultados obtidos por meio dessa análise são apresentados nas Figuras 7, 8 e 9.

Nos gráficos destas figuras, observa-se que, para a comparação entre o maior (2 GHz) e o menor (320 MHz) valor para frequência implementados, o número necessário de processadores e o tempo de atraso foram reduzidos em cerca de 72%, ou seja, de 76 para 21 e de $1,90\mu\text{s}$ para $0,53\mu\text{s}$, respectivamente. Além disso, a quantidade de elementos lógicos caiu de 45 mil para 15 mil (uma redução de quase 67%) e o número de *bits* de memória foi reduzido em cerca de 72% (de 78 *Mbits* para 21 *Mbits*). O que é factível para operação em FPGAs atuais, que podem possuir mais de 200 *Mbits* de memória disponíveis [15].

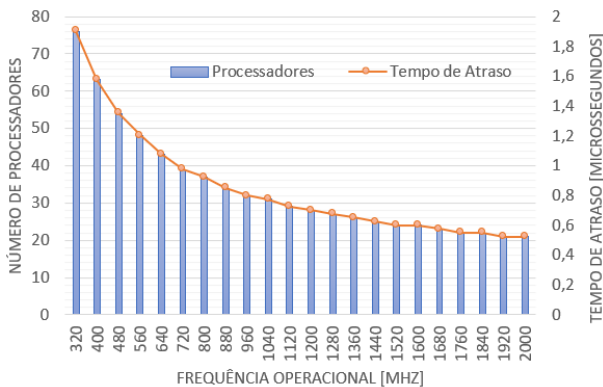


Fig. 7: Relação entre processadores, Δt e frequência.

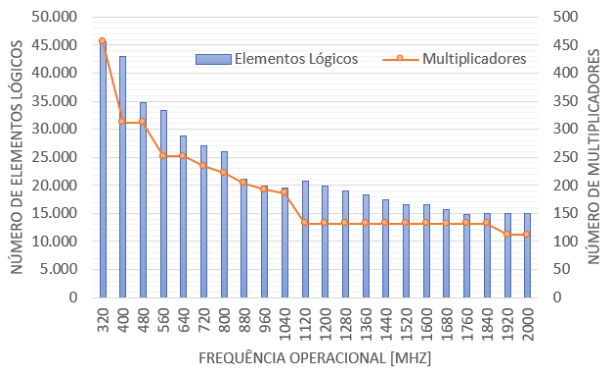


Fig. 8: Relação entre custo lógico e frequência.

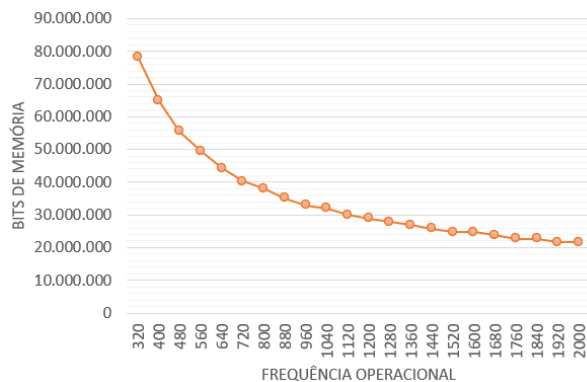


Fig. 9: Relação entre *bits* de memória e frequência.

VI. CONSIDERAÇÕES FINAIS

A implementação em *hardware* de uma RNA para reconstrução de energia no calorímetro hadrônico do ATLAS foi

apresentada, bem como uma arquitetura em *multicore* de um processador customizado mostrou-se factível.

A utilização de *Look-Up Tables* para a representação da função de ativação da rede neural, apesar de se mostrar precisa e funcional, demanda um grande número de unidades de memória para armazenar seus dados. Logo, identifica-se a possibilidade de reduzir a quantidade de memória necessária para a realização desse método por meio da utilização de uma aproximação da função tangente sigmóide por Séries de Taylor. Trabalhos futuros serão baseados nessa aproximação para substituir a necessidade do armazenamento de dados das LUTs, visando otimizar a implementação do método.

AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES/Brasil - Código de Financiamento 001). Gostaríamos de agradecer também ao CNPq, à RENAFAE, à FAPEMIG, à FAPERJ pelo apoio financeiro no projeto, bem como ao Experimento ATLAS, em especial ao TileCal, pelo suporte ao desenvolvimento do trabalho.

REFERÊNCIAS

- [1] EVANS, L., BRYANT, P. *LHC machine*. Journal of Instrumentation, IOP Publishing, v. 3, n. 08, p. S08001, 2008.
- [2] ATLAS, C. *The atlas experiment at the cern large hadron collider*. Journal of Instrumentation, v. 3, n. 08, p. S08003, 2008.
- [3] LIVAN, M., WIGMANS, R. *Calorimetry for Collider Physics, an Introduction*. Springer, 2019.
- [4] NAKAHAMA, Y. *The ATLAS Trigger System: Ready for Run-2*. CERN Document Server, 2015.
- [5] MEYER, B. U. *Digital Signal Processing with Field Programmable Gate Arrays*. Heidelberg, 2007.
- [6] FARIA, M. H. M. d., FILHO, L. M. A., DUARTE, J. B. S., SEIXAS, J. M. *Redes neurais para filtragem inversa com aplicação em calorímetros operando a alta taxa de eventos*. XXXV Simpósio Brasileiro de Telecomunicações e Processamento de Sinais, p. 403–407, setembro, 2017.
- [7] FARIA, M. H. M. d. *Estimação de energia no primeiro nível de trigger do calorímetro hadrônico do ATLAS utilizando redes neurais artificiais*. Dissertação, PPEE/UFJF, 2017.
- [8] CHAPMAN, J. *ATLAS simulation computing performance and pile-up simulation in ATLAS*. LPCC detector simulation workshop CERN, 2011.
- [9] YIANNACOURAS, P., STEFFAN, J. G., ROSE, J. *Exploration and Customization of FPGA-Based Soft Processors*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, v. 26, n. 2, pp. 266–277, Feb, 2007.
- [10] MAKNI, M., BAKLOUTI, M., NIAR, S., JMAL, M. W., ABID, M. A. *A Comparison and Performance Evaluation of FPGA Soft-Cores for Embedded Multi-Core Systems*. 11th International Design Test Symposium (IDT), pp. 154–159, Dec, 2016.
- [11] KAPISCH, E. B., SILVA, L. R. M., MARTINS, C. H. N., BARBOSA, A. S., ANDRADE FILHO, L. M., DUQUE, C. A., TAVIL, A. E., De SOUZA, L. A. R. *An Implementation of a Power System Smart Waveform Recorder using FPGA and ARM cores*. Measurement, London Print, 2016.
- [12] KAPISCH, E. B., SILVA, L. R. M., CERQUEIRA, A. S., ANDRADE FILHO, L. M., DUQUE, C. A., RIBEIRO, P. F. *A Gapless Waveform Recorder for Monitoring Smart Grids*. 17th International Conference on Harmonics and Quality of Power (ICHQP), pp.130-136, 2016.
- [13] OLIVEIRA, M. M., SILVA L. R. M., DUQUE, C. A., ANDRADE FILHO L. M., RIVEIRO, P. F. *Implementation of an Electrical Signal Compression System Using Sparse Representation*. 18th International Conference on Harmonics and Quality of Power (ICHQP), pp. 1-5, 2018.
- [14] PADGETT, W. T., ANDERSON, D. V. *Fixed-Point Signal Processing*. Morgan & Claypool Publishers, 2009.
- [15] Intel Corporation. *Intel FPGAs and Programmable Devices* Acessado em junho de 2020. Disponível em: <https://www.intel.com.br/content/www/br/pt/products/programmable.html>