

Solução de Plataforma LTE para eNodeB

Rafael M. Vilela, José A. Bianco, Felipe Figueiredo, Romeu P. de Gouvêa,
Fabbryccio Cardoso* e Fabrício Lira

Resumo—Este artigo apresenta uma proposta de implementação de Bandabase para eNodeB LTE. A solução de hardware consiste em chipset com um chip FPGA Xilinx Virtex6 XC6VLX240T e um processador de uso geral Intel i7. O foco do trabalho é o desenvolvimento do firmware para o dispositivo FPGA, que compreende o projeto da camada física para o LTE. Aspectos de implementação do projeto da camada física são compartilhados neste artigo.

Palavras-Chave— LTE, LTE-A, Plataforma Bandabase, Protocolos de Rádio, FPGA.

Abstract— This article presents a Baseband implementation proposal for LTE eNodeB. The hardware solution is based on a chipset with one FPGA Xilinx Virtex6 XC6VLX240T and one general purpose processor Intel i7. This work is focused on the firmware development for the physical layer using the FPGA device. Implementation aspects, validation strategy and architecture are also shared in this article.

Keywords— LTE, LTE-A, LTE Baseband Platform, Radio Protocol Stack, FPGA.

I. INTRODUÇÃO

Diferentemente das gerações anteriores de comunicação celular, onde sempre houve mais de um padrão global, na quarta geração, o LTE [1] se estabeleceu como a base de evolução da tecnologia celular. O LTE foi padronizado em 2008 para prover taxas de dados de até 300 Mbps no downlink e 75 Mbps no uplink, em até 20 MHz de largura de banda, com latência de apenas 5 ms no plano de dados [2][3]. O LTE foi projetado e otimizado para comutação por pacotes, sendo que as aplicações de voz podem ser comutadas por circuitos através de *voice fallback* ou trafegar por VoIP, empregando o subsistema IMS (IP Multimedia Subsystem) [4].

A tecnologia LTE apresentou uma série de inovações que possibilitaram, por exemplo, o emprego do OFDMA de forma bastante flexível, com reuso de frequência unitário ou fracionário, coordenação de interferência, alta mobilidade e altas taxas de dados com QoS fim-a-fim. Embora a implantação comercial esteja baseada nos Releases 8 e 9, versões bem mais avançadas já estão padronizadas desde Março de 2011. O Release 10 [5], também conhecido como LTE-Advanced, introduziu a possibilidade do uso mais intensivo e eficiente do espectro através de *Carrier Aggregation* [6] e aumento no número de antenas do sistema. Além disso, também possibilita o uso mais eficiente do espectro por área de cobertura através de redes de acesso heterogêneas (HetNets) [7].

O esforço de padronização do LTE já está no Release 12, e discussões já estão sendo realizadas para o Release 13. Isto indica que há uma tendência de evolução contínua do LTE nesta década e na seguinte. A janela de oportunidade para se entrar nesse mercado de infraestrutura ainda está aberto. Um dos aspectos básicos para se tornar um *player* do ecossistema LTE é o tecnológico, que consiste no desenvolvimento da bandabase, que é a proposta deste trabalho. Indo além, foram estabelecidos requisitos de desempenho e uma arquitetura que possibilitasse atualizações da bandabase para suportar o LTE-A. Considerando que o foco do desenvolvimento é a eNodeB, espera-se uma escala de produção que não justifique o

desenvolvimento de circuito integrado específico. Do mesmo modo, devido ao requisito de flexibilidade, alta capacidade de processamento, alta cobertura, alto número de usuários e de futura evolução de funcionalidades para o LTE-A, optou-se pelo emprego de dispositivo FPGA sobre DSP para o desenvolvimento da Camada Física. Com relação aos protocolos de rádio L2/L3, optou-se pelo emprego de um processador *multicore* de uso geral. Neste trabalho a solução de bandabase foi testada com um *chipset* que emprega uma FPGA Xilinx Virtex6 e um processador Intel i7.

Este artigo abrange o desenvolvimento e integração de uma bandabase LTE com foco na camada física. Apresenta-se a arquitetura, as funcionalidades implementadas em hardware e a estratégia de validação da solução proposta.

O artigo está organizado como segue: uma visão geral sobre a solução de hardware é apresentada na Seção II; discute-se o conjunto de funcionalidades da pilha de protocolo que foi implementado na plataforma na Seção III, assim como os desafios associados a essa implementação; a Seção IV aborda o desenvolvimento da camada física, detalhando as arquiteturas das cadeias de processamento do *downlink* e *uplink*; resultados e conclusões do trabalho são então apresentados nas seções subsequentes.

II. SOLUÇÃO DE BANDABASE

Funcionalmente, a estação de rádio pode ser dividida nos módulos de RF e de Bandabase, como ilustrado na Figura 1. O módulo de RF é responsável pela transmissão e recepção de sinais na faixa de frequência de operação da rede de acesso. O módulo de Bandabase é responsável pela pilha de protocolo de rádio, incluindo camada física (L1), camada de acesso ao meio (L2) e de convergência e de controle dos recursos de rádio (L3). O processamento dessa pilha não é homogêneo. As camadas L2/L3 tem processamento tipicamente procedural, enquanto na camada física é predominante o processamento digital de sinais. Desta forma, na solução proposta, esses módulos são executados em dispositivos distintos, específicos para cada camada. As camadas L2/L3, assim como os protocolos de comunicação com a rede núcleo, são implementados em processador *multicore* de uso geral. A camada física, que é o foco deste artigo, é implementada em chip FPGA de alto desempenho.

Referente as principais interfaces lógicas da bandabase, merecem ser destacadas as interfaces S1, X2, FAPI e as Portas para antena. A interface S1 emprega protocolo GTP-U/UDP/IP no plano de dados e S1-AP/SCTP/IP no plano de controle, para comunicação por pacotes com o núcleo da rede. A interface X2 é empregada para comunicação entre eNodeBs e emprega protocolos GTP-U/UDP/IP no plano de dados e X2-AP/SCTP/IP no plano de controle. A interface lógica de comunicação entre as camadas L1 e L2/L3 não é padronizada. Neste trabalho, emprega-se protocolo do tipo TLV (Tag-Length-Value) conforme recomendação do *Small Cell Forum* sobre UDP/IP [8].

A interface lógica com a frente de RF é baseada no conceito de Porta, que emprega uma estrutura de quadro tempo-frequência com mapeamento específico dos sinais de referência. Informações dos canais físicos de controle são mapeados nas portas sem codificação MIMO. O canal PDSCH que transmite dados de usuário, é mapeado em ambas as portas conforme o modo de transmissão MIMO. Sinais de referência

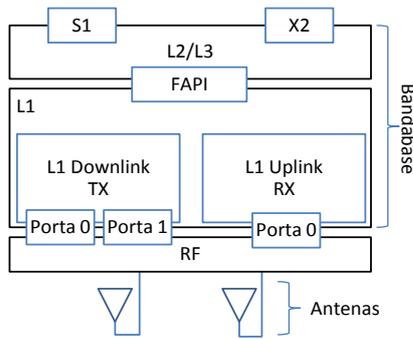


Fig. 1. Visão de alto nível da arquitetura da eNodeB.

são posicionados de forma distinta para os quadros das Portas 0 e 1 (Veja Seção 6.10 de [9]). O sinal IQ em cada porta é gerado no downlink através de uma IFFT, que multiplexa as subportadoras ortogonais no domínio da frequência. No uplink, ocorre o inverso, ou seja, o sinal temporal IQ é demultiplexado através de uma FFT para recuperar os símbolos QAM de cada subportadora no domínio da frequência.

III. FUNCIONALIDADES DA BANDABASE

As principais funcionalidades da pilha de protocolos de rádio, implementadas na bandabase, são as mostradas na Figura 2. A primeira fase do desenvolvimento compreendeu o uso de duas portas de antena para implementação dos modos de transmissão TM1 (SISO) e TM2 (Diversidade de Transmissão). O modo TM2 usa codificação MIMO espaço-frequência [10][11]. Os modos MIMO TM3 e TM4 envolvem multiplexação espacial e devem ser testados na segunda fase do projeto.

A. Camada Física

A codificação MIMO na transmissão é relativamente simples para os modos TM1-TM4, porém os modos TM3 e TM4 podem requerer o processamento de um *transport block* adicional (TB2) para um dado usuário. Esse processamento adicional é decorrente da maior vazão proporcionada pela multiplexação espacial e impacta diretamente a cadeia de processamento do canal físico PDSCH. Nesses casos, a norma prevê como solução o processamento de até dois *transport blocks* (TBs). A solução implementada, porém ainda não testada, instancializa na FPGA duas cadeias de processamento independentes para o PDSCH, conforme ilustrado na Figura 3.

De acordo com o *Rank Indication* informado pelo UE (User Equipment) no *Uplink*, define-se o nível de paralelização dos fluxos pelo Mapeamento de Layers de uma Matriz de Precodificação MIMO. Isto significa que para um mesmo usuário a codificação MIMO pode ser adaptada de acordo com a situação do canal.

Do mesmo modo, a modulação e a taxa de codificação de canal também é adaptativa. As modulações suportadas são QPSK, 16-QAM e 64-QAM. A taxa de codificação efetiva vai depender do *Rate Matching* e do sistema de retransmissão HARQ (Híbrid-Automatic Repeat Request). A taxa de codificação inicial e a modulação vão depender do CQI (Channel Quality Information) informado pelo UE, que reflete a relação de potência do sinal pela potência da interferência mais ruído. Essa medida é realizada pelo UE através dos sinais de referência.

O controle dessa adaptação do enlace é realizado pela camada L2. Há tabelas (veja Tabelas 7.2.3-1, 7.1.7.1-1 e 7.1.7.2.1-1 de [13]) que definem, a partir do CQI, o tamanho do TB em bits, assim como a modulação e o número de RBs a serem empregados por TTI (Time Transmission Interval). Um TTI equivale a um subframe, ou seja, 1 ms. A taxa de codificação é dada pela razão entre o número de bits do TB e o número total de bits suportados pelos RBs alocados. A

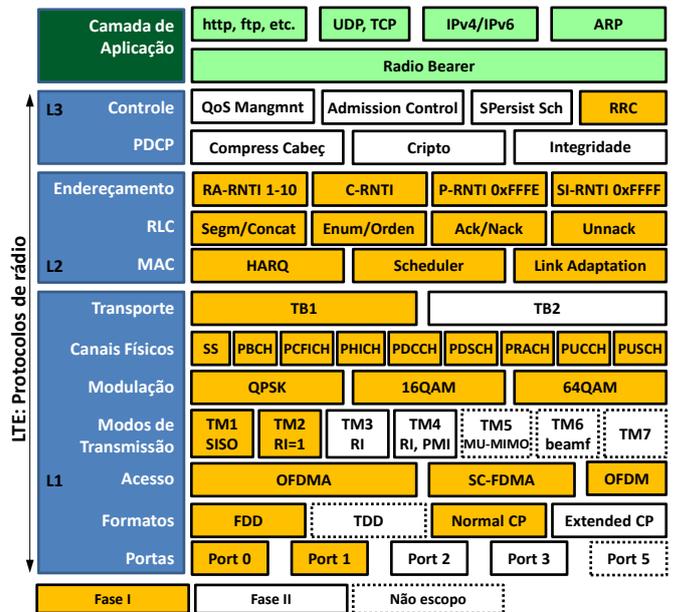


Fig. 2. Funcionalidades da pilha de protocolos de rádio

quantidade de bits de redundância, necessários para completar a ocupação dos RBs alocados, é suprida pelo bloco *Rate Matching* através de bits de paridade do Codificador Turbo (taxa 1/3), que são armazenados com os bits de informação em um buffer circular. Por este sistema, é possível obter taxas de codificação inferiores a 1/3, que ocorre quando a leitura do buffer circular percorrer mais de uma volta. Por exemplo, duas voltas no buffer geram uma taxa de 1/6, normalmente utilizada na transmissão dos SIBs.

A implementação dos canais físicos do uplink e do downlink é mandatória. Foram implementados para o downlink as cadeias de processamento referente aos canais físicos PBCH, PCFICH, PHICH, PDCCH e PDSCH. Para o uplink, foram implementados os canais PRACH, PUSCH e PUSCH. A Figura 3 mostra as cadeias de processamento (codificação e modulação) para os canais físicos do downlink e a Figura 4 para os canais do *uplink*.

A estrutura de quadros implementada prevê duplexação FDD e prefixos cíclicos normal e estendido, sendo que o PC estendido ainda não foi testado até o momento. O modo de duplexação TDD está fora do escopo do projeto atual.

O processamento na camada física é parametrizado por TTI (1 ms) e por usuário. A implementação da camada física atual possibilita multiplexar até 100 UEs em um mesmo TTI, considerando o sistema operando com 20MHz de largura de banda, o que corresponde a uma granularidade de alocação e de adaptação do enlace de 1 RB (Resource Block = 12 subportadoras) por TTI.

B. Interface FAPI

A interface de comunicação entre as camadas L1 e L2 seguiu recomendação do *Small Cell Forum* [8]. Embora seja uma recomendação bem estruturada, não se trata de uma norma e, portanto, não é completamente seguido por todos os fabricantes que comercializam pilhas de software e/ou camadas físicas LTE. Neste contexto, a implementação de tal recomendação na camada física, deve ser orientada pelas customizações realizadas no lado da pilha L2/L3.

Mesmo pequenas customizações nas camadas L2/L3, têm reflexo na API da camada L1. Como a FAPI está implementada em hardware (FPGA), alterações nessa interface FAPI para o L1 podem exigir retrabalho importante no código HDL (Hardware Description Language), o que pode ocorrer na eventual substituição do L2/L3. A Figura 5 ilustra certas customizações realizadas por fornecedores de L2/L3 que podem impactar a portabilidade da API da camada física.

Em relação à interface física de comunicação da API, uma razoável gama de opções está disponível. Devido à grande necessidade de vazão de informação e a grande disseminação no uso da interface PCIe, optou-se por utilizar essa interface, em um primeiro momento, por atender aos requisitos de desempenho da eNodeB LTE e LTE-A. Entretanto, considerando-se apenas o sistema LTE, o emprego da interface Gigabit Ethernet também atende aos requisitos de desempenho, porém com maior simplicidade de implementação em hardware de todos os protocolos pertinentes.

Ainda que o formato da recomendação *Small Cell Forum* não leve à necessidade de grandes espaços de armazenamento temporário, foi necessário especificar condições de armazenamento para que cada bloco de informação fosse inserido no momento e com formato adequado para cada canal de processamento do downlink. Da mesma forma, foi necessário definir condições de armazenamento específicas para a retirada de informação dos canais de processamento do uplink.

No caso do downlink, parte do gerenciamento deste armazenamento é implementada na própria API, logo após a decodificação das informações recebidas que, em seguida, são direcionadas aos blocos de processamento adequados. O mesmo processo, porém de forma inversa, é realizado para o uplink.

Com relação às informações recebidas das camadas L2/L3, as mesmas podem ser divididas em duas categorias: Estáticas - Informações como largura de banda, modo de duplexação, dentre outras, que não são alteradas durante a operação da eNodeB; e Dinâmicas - a Configurações específicas para o frame/subframe corrente e dados a serem transmitidos.

Já as informações recebidas das UEs podem ser consideradas dinâmicas, ou seja, ainda que o período de processamento destas informações seja longo, como é o caso do HARQ, elas não permanecem por tempo indeterminado na estrutura de processamento do uplink.

As informações estáticas, por terem forte influência na operação da camada física, não são passíveis de alterações frequentes e, também por isso, ocorrem no início da comunicação com o L2/L3, só podendo ocorrer novamente caso a operação da eNodeB seja interrompida.

C. Camadas L2/L3

O software da camada L2/L3 é indispensável para a operação da enodeB. Como o foco do desenvolvimento da Plataforma LTE é a camada física, optou-se por utilizar uma solução de software para L2/L3 de mercado. A solução final foi obtida pela integração da camada física desenvolvida com a solução de software L2/L3 através da FAPI, que no lado da camada física também foi implementada em FPGA.

Na operação conjunta L1/L2/L3, a camada L1 é a master, enquanto que as camadas L2/L3 são slave. A sincronização entre as camadas é realizada através de mensagens *Subframe.indication()*, provenientes da camada física. Essas mensagens sinalizam a base de tempo de alocação ($TTI=1ms$) e o índice do subframe que deverá ser processado. Essas informações são essenciais para que algoritmos do L2/L3, como o *scheduler*, *link adaptation* e HARQ possam controlar a camada física para alocação de dados de usuário, assim como de retransmissões que se fizerem necessárias.

As funcionalidades de camada L2 estão plenamente operacionais. Limitações na capacidade de alocação de múltiplos usuários podem surgir dependendo da capacidade de processamento do processador de uso geral. O processador empregado atualmente é um Intel i7 com sistema operacional Fedora, que não demonstrou ser um gargalo para o número de usuários ativos. Entretanto, testes exaustivos ainda precisam

ser realizados para determinar a real capacidade da solução atual.

O esquema de endereçamento de camada L2 é baseado em um identificador de 16 bits denominado de RNTI (Radio Network Temporary Identifier). Há quatro tipos de endereçamento suportado pela norma. O RA-RNTI (0x0001 a 0x000a) é utilizado pelo UE no procedimento de acesso aleatório (*Attach*) na rede. O endereço utilizado para procedimento de paging P-RNTI corresponde ao valor 0xFFFFE. O endereço SI-RNTI de valor 0xFFFF é utilizado para transmissão de informações de controle sistêmico (SIB – System Information Blocks). A identificação do UE na célula é realizada pelo C-RNTI que pode assumir valores de 0x000b a 0xFFFFD.

Na solução atual, a camada L3 está parcialmente testada. O RRC que origina as informações de controle sistêmico, como os SIB, está operacional. Porém, ainda não se testou a camada de convergência PDCP, que é responsável por funcionalidades como de criptografia e de compressão de cabeçalho. Com relação ao RRM, uma vez configurada e inicializada a pilha, os parâmetros de configuração não são gerenciados, permanecendo estáticos durante a operação da eNodeB.

IV. ARQUITETURA DA CAMADA FÍSICA

A camada física foi implementada em uma FPGA Xilinx XC6VLX240T, assim como as interfaces FAPI e a interface de RF. Como indicado na arquitetura da Figura 1, os módulos de processamento do transmissor do downlink e do receptor do uplink são independentes. Não há compartilhamento de recursos entre esses módulos, sendo que cada módulo ocupa uma área prédefinida e distinta na FPGA.

Em linhas gerais, há duas fronteiras principais de cruzamento de clock no downlink e no uplink. O módulo CDC (Clock Domain Crossing) realiza o cruzamento de parâmetros e dados entre a FAPI e as cadeias de processamento. Do mesmo modo, o Mapper no downlink e o DeMapper no uplink realizam o cruzamento entre o domínio de sinal IQ da estrutura de quadro e as cadeias de processamento para os canais físicos. As Figuras 3 e 4 destacam as cadeias de processamento para os canais físicos entre as fronteiras do CDC e do (De)Mapper.

A FAPI opera com clock de 125 MHz. Os blocos das cadeias de processamento tipicamente operam a 2x 30,720MHz, enquanto que o front-end OFDMA e SC-FDMA operam a 30,720 MHz. Particularmente para o uplink, há ainda um domínio de clock específico para o decodificador Turbo, que equivale 10x o clock de amostragem do sinal IQ, ou seja, 307,2 MHz. O bloco de equalização e estimação de canal também opera com um clock mais alto de 4x 30,720 MHz = 120.88 MHz.

O preâmbulo do PRACH no uplink não emprega SC-FDMA como os canais físicos PUSCH e PUCCH do uplink. O PRACH é multiplexado em frequência com o SC-FDMA empregando OFDM com um espaçamento entre subportadoras 12 vezes menor, ou seja, $15\text{ KHz}/12 = 1.25\text{ KHz}$. Devido a essa característica do PRACH, a operação em rajada do bloco de detecção e de correlação do PRACH com um clock de 30,720 MHz, equivale a 12x a taxa de amostragem do sinal do PRACH. Esta operação é importante para diminuir a latência da FFT e IFFT empregadas no cálculo da correlação para medida do TA (Timing Advance) do UE. Neste caso, a latência cai de 4 ms para $4/12 = 333,33\ \mu\text{s}$.

A. Downlink

A arquitetura funcional do downlink é apresentada na Figura 3. Os blocos funcionais apresentados são instancionalizados e roteados na FPGA para operar de forma independente. Há blocos, como o Scrambling, que possui múltiplas instâncias na FPGA. Mesmo nesses casos, os blocos

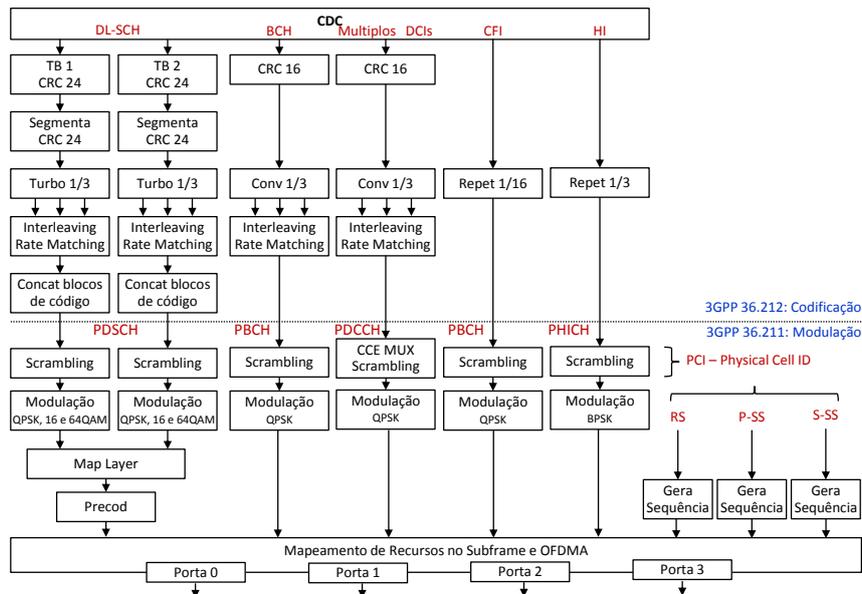


Fig. 3. Arquitetura funcional do L1 Downlink (TX)

operam de forma independente e dedicados à sua cadeia de processamento. A integração e reutilização dos blocos é realizada através de sinalização de controle baseada em sinais de START, STOP, VALID e RESET, sincronizados ao fluxo de dados. Desta forma, todos os blocos operam por rajadas de dados definidas pelos sinais de START, STOP e VALID.

As cadeias de processamento são definidas por canal físico e operam como linhas de montagem, que recebem dados do CDC e entregam o resultado para o Mapeador da estrutura de quadro tempo-frequência. O quadro é mapeado em memória para cada TTI (1 ms) com um total de até 1200 subportadoras de dados e 848 subportadoras nulas por símbolo OFDMA. Um TTI pode ter 14 ou 12 símbolos OFDMA, dependendo do prefixo cíclico ser normal ou estendido, respectivamente. Essa memória é duplicada para operar como “ping-pong”. Isto significa que enquanto uma memória é preenchida pelo Mapeador para montagem do próximo *subframe* (TTI); a outra é utilizada para geração do sinal IQ. A geração do sinal IQ é realizada por símbolo OFDMA através da multiplexação das subportadoras pela IFFT.

Dos canais físicos do *downlink*, o PDSCH é o que apresenta maior requisito de desempenho tendo em vista que sua vazão de dados é muito maior. O PDSCH foi projetado com níveis de paralelização adequados para vazões brutas de até 450 Mbps por cadeia de processamento, podendo chegar a 900Mbps de taxa bruta total de dados. Na implementação atual do PDSCH, há duas instâncias dos circuitos para as cadeias de codificação de canal e de modulação. Considerando a vazão líquida de dados, a camada física suporta taxas de até 150 Mbps para duas portas de antena e 300 Mbps para quatro portas.

B. Uplink

A arquitetura do *uplink* segue a mesma estratégia de independência e de reuso de blocos. A interface de sinalização para transferência de dados entre os blocos também é a mesma do *downlink*. Entretanto, diferentemente do transmissor do *downlink*, que está muito amarrado à norma, no receptor do *uplink* há flexibilidade para definição e implementação dos algoritmos de detecção.

Dentre os blocos implementados para a arquitetura funcional do *uplink*, que é apresentada na Figura 4, destacam-se os blocos de Correlação e Detecção do PRACH, o bloco de Estimação e Equalização de Canal para o PUCCH e PUSCH, o bloco de Gerenciamento de Memória para Processos HARQ e o Decodificador Turbo. Desses blocos de função, apenas o

Decodificador Turbo não foi desenvolvido. Foi utilizado *IP Core* da própria Xilinx para ser integrado ao projeto.

O bloco de Correlação e Detecção do PRACH realiza a correlação do preâmbulo com uma sequência Zadoff-Chu raiz. Com base na detecção de pico da correlação pode-se descobrir a assinatura do preâmbulo e qual o desalinhamento temporal do terminal com relação à estrutura de quadro. Desta forma, o terminal pode ser informado pelo *downlink* do ajuste temporal para se sincronizar no *uplink*.

O bloco de Estimação e Equalização de Canal emprega DMRS (*Demodulation Reference Signals*) como referência para estimação do canal. Em um *subframe*, as DMRS ocupam dois símbolos SC-FDMA espaçados de 0,5 ms. A sequência de referência empregada é uma Zadoff-Chu, de tal modo que também seja possível calcular o TA do terminal à medida que o mesmo se afasta ou se aproxima da eNodeB.

O processo de decodificação Turbo no LTE é baseado em redundância incremental controlada por processos HARQ. Isto significa que se o CRC de uma palavra código falha, os bits sistemáticos e de paridade devem ser salvos em uma memória, referenciados pelo endereço C-RNTI do terminal e pelo número do processo HARQ. O bloco de transporte é decodificado novamente para cada palavra código após a transmissão de paridades adicionais pelo terminal. A complexidade desse gerenciamento de memória cresce proporcionalmente ao número de usuários ativos na célula.

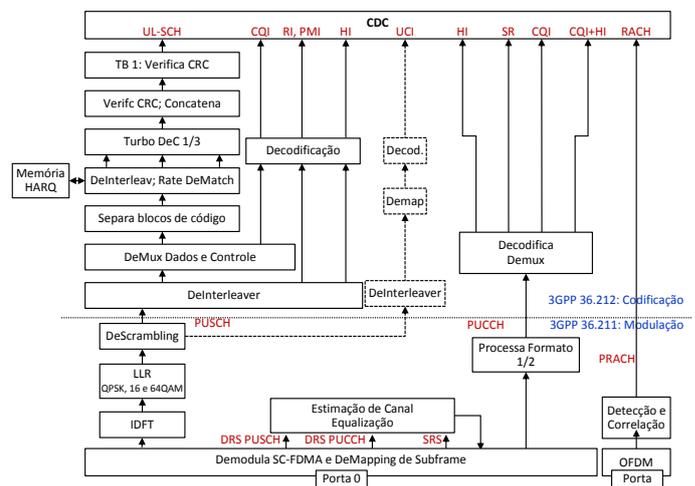


Fig. 4. Arquitetura funcional do L1 Uplink (RX)

V. RESULTADOS, DEMONSTRAÇÃO E PROVA DE CONCEITO

A validação dos canais físicos foi inicialmente realizada para o downlink através do software de análise Agilent VSA89600 para osciloscópio Agilent Infinium. O VSA é capaz de demodular o sinal LTE por amostragem de quadros. A partir dessa solução foi possível verificar os canais físicos do downlink e a transmissão do MIB (Master Information Block), que contém informações como a largura de banda da célula. Verificou-se a parametrização do Physical Cell ID (PCI) para a célula, o que permitiu verificar o scrambling, assim como o mapeamento dos sinais de referência e sincronização. Foi possível inclusive demodular o PDSCH a partir das informações de alocação do PDCCH. Neste caso, o VSA além de apresentar a constelação do sinal e a alocação no quadro, também apresenta o valor do CRC para os TBs decodificados.

A validação do downlink pôde ser aprofundada através do Emulador de UE da Signalion – SORBAS. Este equipamento de teste possibilita emular um UE em tempo real para tráfego de dados e de controle; possibilita emular sinalização de controle de múltiplos UE em tempo real; e possibilita inclusive validar e recuperar o tráfego de dados ao longo de toda a pilha de protocolos de rádio. A partir do SORBAS foi possível recuperar o tráfego de dados em tempo real do PDSCH. Neste caso, foi empregada uma aplicação de streaming de vídeo na eNodeB para um único usuário. O resultado foi a recuperação e a apresentação do streaming de vídeo com BLER inferior a 1×10^{-4} .

A demodulação e decodificação dos canais físicos do *uplink*, PUSCH, PUCCH e PRACH, foram validadas pelo emprego do SORBAS como gerador de estímulo. Parâmetros de configuração e de controle foram confirmados pela análise do protocolo FAPI, a partir do analisador de protocolos de rede Wireshark com plugin específico. Por exemplo, para se validar o PRACH, as mensagens de RACH.indication() gerada pela FAPI do L1 eram filtradas pelo Wireshark para análise. Do mesmo modo, há mensagens específicas da FAPI para informar o L2 sobre SR (Scheduling Request), CQI (Channel Quality Information) e HI (HARQ Indicator). No geral, todas as mensagens geradas na FAPI tiveram que ser analisadas no contexto dos procedimentos da camada física.

Tráfegos de dados sobre o PUCCH foram validados de forma semelhante ao downlink. A geração do streaming de vídeo IP foi realizada através do SORBAS. Os pacotes de vídeo foram recuperados a partir do PUCCH no UL-SCH e interceptados a partir das mensagens FAPI RX_ULSCH.indication() em ambiente Linux. A reprodução do transport stream foi realizada através do aplicativo VLC.

A complexidade do projeto pode ser medida em termos dos parâmetros de ocupação de recursos da FPGA apresentados na Tabela I. A complexidade do Uplink é significativamente superior ao do downlink devido aos algoritmos de detecção e de decodificação que são de fato mais complexos. Ainda assim, percebe-se que a maior parte dos recursos da FPGA não são utilizados, o que sugere a possibilidade de downgrade do dispositivo para redução de custos.

TABELA I. IMPLANTAÇÃO DO PROJETO PHY EM FPGA

Componente	Slice LUTs	DSP48	BRAM	Timing
v1x240T	150720 (100%)	768 (100%)	416 (100%)	-
FAPI	6271 (4%)	-	9 (2%)	125 MHz
CDC	3014 (2%)	-	30 (7%)	125 MHz
Downlink	17922 (11%)	84 (10%)	31 (7%)	307,2 MHz
Uplink	63302 (42%)	230 (30%)	92 (22%)	307,2 MHz

VI. CONCLUSÕES

Este artigo apresenta uma implementação da bandabase LTE para um chipset que combina FPGA e processador de uso

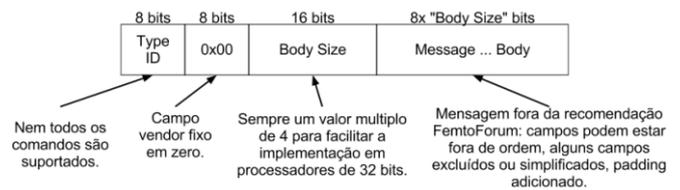


Fig. 5. Exemplo de formato de mensagem FemtoForum customizada para uma pilha LTE comercial.

geral. O circuito em FPGA é responsável pela camada física, interface com módulo de RF e pela interface FAPI com o subsistema L2/L3. O subsistema L2/L3 é responsável pelos protocolos de rádio, incluindo RRM (Radio Resource Management), OAM (operation, Administration and Maintenance) e as interfaces S1 e X2. Atualmente, o OAM e o RRM operam de forma estática na configuração da pilha. Na solução apresentada, o foco do desenvolvimento é a Camada Física. São apresentadas informações sobre a arquitetura e de sua implementação e validação em hardware. O firmware desenvolvido mostrou-se em conformidade com o padrão LTE (R8 e R9) e com desempenho e capacidade de processamento que devem facilitar a adição de novas funcionalidades para atender ao LTE-A.

AGRADECIMENTOS

Os autores agradecem o apoio dado a este trabalho, desenvolvido no âmbito do projeto RASFA, que conta com recursos do Fundo para o Desenvolvimento das Telecomunicações – FUNTTEL, do Ministério das Comunicações, através do convênio no. 01.09.0631.00 com a FINEP – Financiadora de Estudos e Projetos.

REFERÊNCIAS

- [1] 3rd GENERATION PARTNERSHIP PROJECT. 3GPP TS 36.300: Overall description – Stage 2. Mar. 2010. V8.12.0.
- [2] F. Rezaei, M. Hempel, H. Sharif, "LTE PHY Performance Analysis under 3GPP Standards Parameters", IEEE 16th Int. Workshop on Computer Aided Modeling and Design of Communication Links and Networks (CAMAD), 10-11 June, 2011.
- [3] D. Astely, E. Dahlman, A. Furuskar, A. Kangas, M. Lindstrom, S. Parkvall, "LTE: The Evolution of Mobile Broadband", IEEE Communications Magazine, Vol. 47, I. 4, pp. 44-51, 2009.
- [4] Wei Wu e Noun Choi, "Providing Voice Service Continuity in Evolved Packet Systems", IEEE Wireless Communications, Vol. 17, Issue 6, pp. 76-84, December, 2010.
- [5] I. F. Akyildiz, D. M. Gutierrez-Estevez, E. C. Reyes, "The evolution to 4G cellular systems: LTE-Advanced", Physical Communication, pp 217-244, Elsevier, 2010.
- [6] M. Kiiski, "LTE-Advanced: The Mainstream in Mobile Broadband Evolution", 2010 European Wireless Conference (EW), pp. 983 - 988, 12-15 April, 2010.
- [7] A. Ghosh, N. Mangalvedhe, R. Ratasuk, B. Mondal, M. Cudak, E. Visotsky, and T. Thomas, J. Andrews, P. Xia, H. S. Jo, H. Dhillon, T. Novlan, "Heterogeneous Cellular Networks: From Theory to Practice", IEEE Communications Magazine, June 2012.
- [8] FemtoForum, LTE eNB L1 API Definition v1.1. 2010.
- [9] 3rd GENERATION PARTNERSHIP PROJECT. 3GPP TS 36.211: Physical Channels and Modulation. Dez. 2009. V8.9.0.
- [10] S. M. Alamouti, "A simple transmit diversity technique for wireless communications," IEEE J. Sel. Areas Comm., Vol. 16, pp. 1451-1458, Oct. 1998.
- [11] H. Bolcskei; A. J. Paulraj, "Space-frequency coded broadband OFDM systems", Vol. 1, pp. 1-6, IEEE Wireless Communications and Networking Conference, 2000.
- [12] 3rd GENERATION PARTNERSHIP PROJECT. 3GPP TS 36.212: Multiplexing and Channel Coding. Dez. 2009. V8.8.0.
- [13] 3rd GENERATION PARTNERSHIP PROJECT. 3GPP TS 36.213: Physical layer procedures. Dez. 2009. V8.8.0.