

# Implementação de um Transmissor FM Totalmente Digital em FPGA

Walter Antonio Gontijo, Felipe Dennis de Resende Oliveira e Natan Votre

**Resumo**—Este artigo apresenta a implementação de um transmissor FM (mono) totalmente digital em FPGA, utilizando os algoritmos *coordinate rotation digital computer (CORDIC)*, *cascaded integrator comb (CIC)* e *high-pass sigma-delta modulator (HPSDM)*. O transmissor FM digital é sintetizado em um FPGA, simulado seu comportamento e seu funcionamento é avaliado em um kit de desenvolvimento. Os resultados experimentais obtidos mostram o funcionamento adequado do transmissor FM implementado.

**Palavras-Chave**—CORDIC, FPGA, HPSDM, Transmissor FM.

**Abstract**—A fully digital FPGA implementation of a FM (mono) transmitter using the CORDIC, CIC, and HPSDM algorithms is demonstrated here. The FM transmitter is synthesized on an FPGA, its behavior is simulated and its hardware implementation is evaluated on development kit. The experimental results obtained show the suitable performance of this FM transmitter design and implementation.

**Keywords**—CORDIC, FPGA, HPSDM, FM Transmitter.

## I. INTRODUÇÃO

Uma forma de implementar um transmissor FM digital é considerar componentes dedicados para executar a modulação em frequência, enviar o sinal modulado para frequências de rádio (RF) e realizar a conversão D/A. Em [1], o componente dedicado usado é um DDS (*direct digital synthesizer*), que gera o sinal modulado em FM e o tratamento em banda base é realizado por um FPGA. Outra estratégia de implementação é sintetizar os componentes do transmissor FM digital em FPGA e utilizar um circuito dedicado para a conversão D/A [2,3]. Tal estratégia possui uma significativa complexidade de implementação, dado que realizar o deslocamento para frequências RF no FPGA exige um valor elevado de frequência de amostragem. Para diminuir a complexidade de implementação em FPGA, é usual externar um sinal em frequência intermediária (IF) e realizar o deslocamento para RF via componentes analógicos (*mixers*) [4].

Neste trabalho, é apresentado um transmissor FM totalmente digital implementado em FPGA que não utiliza componentes externos como *mixer* e conversor D/A. Tal transmissor utiliza o algoritmo CORDIC (*coordinate rotation digital computer*) para realizar a modulação em frequência, o algoritmo CIC (*cascaded integrator comb*) Interpolador e o CORDIC para implementar o Digital *up-conversion* - DUC (deslocamento para frequência RF) e o algoritmo HPSDM (*high-pass sigma-delta modulator*) para realizar a conversão D/A. O uso do CIC e do CORDIC permite ao FPGA operar

Walter Antonio Gontijo, Felipe Dennis de Resende Oliveira e Natan Votre, Departamento de Engenharia Elétrica e Eletrônica, Universidade Federal de Santa Catarina, Florianópolis-SC, Brasil, E-mails: walter@linse.ufsc.br, felipedennis@linse.ufsc.br e natan@linse.ufsc.br.

Este trabalho foi parcialmente financiado pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq).

com a frequência de amostragem necessária para representar digitalmente sinais em FM, enquanto o HPSDM possibilita realizar a Conversão D/A dos sinais FM sem a necessidade de um componente dedicado externo [5].

Este artigo está organizado como segue. Na Seção II, é mostrada a arquitetura do transmissor FM digital, apresentando a modulação FM e os algoritmos CORDIC, CIC e HPSDM. Na Seção III, é descrita a arquitetura do transmissor FM implementada em FPGA. Os resultados obtidos em simulação e nos experimentos são apresentados na Seção IV. Finalmente, na Seção V, são apresentados os comentários e as conclusões finais.

## II. ARQUITETURA DO TRANSMISSOR FM

### A. Modulação FM

A modulação é um processo de conversão utilizado para adequar as características de uma mensagem com o meio (canal) pelo qual será transmitida [6]. Na modulação FM, a mensagem é utilizada para alterar os parâmetros de frequência da portadora, conforme apresentado pela expressão [6]

$$S_{FM}(t) = A \cos \left[ 2\pi f_c t + 2\pi k_f \int_0^t m(\alpha) d\alpha \right] \quad (1)$$

onde  $A$  é a amplitude do sinal modulado,  $f_c$ , a frequência da portadora,  $k_f$ , o fator de sensibilidade do modulador e  $m(\alpha)$ , a mensagem moduladora.

Para implementar o transmissor FM digital, são desenvolvidos blocos que realizam a operação descrita por (1) e a conversão D/A. Tais blocos são ilustrados no diagrama da Fig. 1.

Os blocos Modulador e Digital *up-converter*, ilustrados na Fig. 1, são implementados via algoritmos CORDIC e filtro CIC. Já o bloco Conversor D/A é implementado com o algoritmo HPSDM.



Fig. 1. Diagrama de blocos do transmissor FM.

### B. CORDIC

O algoritmo CORDIC permite realizar a rotação de um vetor  $\vec{v}_0$  em um plano  $xy$  através do produto de uma matriz de rotação  $R$  e esse vetor [7]. A matriz de rotação é dada por [8]

$$R = \left[ \left( 1 + \tan^2 w \right)^{-1/2} \right] \begin{pmatrix} 1 & -\tan w \\ \tan w & 1 \end{pmatrix} \quad (2)$$

e o vetor resultante é definido por

$$\vec{v}_r = R\vec{v}_0 \quad (3)$$

onde  $\vec{v}_r$  é o vetor  $\vec{v}_0$  rotacionado por um ângulo  $w$ . O CORDIC decompõe a rotação do ângulo  $w$  em uma sequência de  $N$  rotações, sendo que a  $i$ -ésima é dada por

$$\vec{v}_{i+1} = R_i \vec{v}_i \quad (4)$$

em que

$$R_i = K_i \begin{pmatrix} 1 & -\tan \alpha_i \\ \tan \alpha_i & 1 \end{pmatrix} \quad (5)$$

e

$$K_i = \left[ (1 + \tan^2 \alpha_i)^{-1/2} \right] \quad (6)$$

$$\alpha_i = \tan^{-1}(2^{-i}) \quad (7)$$

O algoritmo CORDIC é um método eficiente e de baixo custo de implementação em *hardware* para realizar o cálculo de valores de funções trigonométricas. As equações gerais de implementação do CORDIC são [9]

$$x_{i+1} = x_i - m\sigma_i 2^{-i} y_i \quad (8)$$

$$y_{i+1} = y_i + \sigma_i 2^{-i} x_i \quad (9)$$

$$w_{i+1} = w_i - \sigma_i \alpha_i. \quad (10)$$

A variável  $\sigma_i$  determina o modo de operação do algoritmo e é dada por

$$\sigma_i = \begin{cases} \text{sign}(w_i), & \text{para o modo de rotação} \\ -\text{sign}(y_i), & \text{para o modo de vetorização} \end{cases} \quad (11)$$

As entradas  $x_i$ ,  $y_i$  são os elementos do vetor  $\vec{v}_i$ ,  $w_i$  corresponde à diferença entre os ângulos de  $\vec{v}_r$  e  $\vec{v}_i$  e,  $m$  define o sistema de coordenada do algoritmo (circular  $m=1$ , linear  $m=0$  e hiperbólico  $m=-1$ ). Neste artigo, o CORDIC é implementado no modo de rotação e em coordenada circular. Nessas condições, as saídas do algoritmo na  $N$ -ésima iteração são [9]

$$x_r = K[x_0 \cos(w) - y_0 \sin(w)] \quad (12)$$

$$y_r = K[y_0 \cos(w) + x_0 \sin(w)] \quad (13)$$

As saídas do CORDIC correspondem aos elementos do vetor  $\vec{v}_r$  enquanto  $x_0$  e  $y_0$  são elementos do vetor  $\vec{v}_0$ . A constante  $K$  é definida por

$$K = \prod_{i=0}^{N-1} \left( \frac{1}{K_i} \right) = \prod_{i=0}^{N-1} \left( \sqrt{1 + 2^{-2i}} \right) \quad (14)$$

### C. Filtro CIC

O filtro CIC foi proposto por E. B. Hogenauer, que apresentou sua função de transferência discreta, dada por [10]

$$H(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} \quad (15)$$

onde  $R$  é o fator de interpolação,  $M$ , é o atraso diferencial e  $N$ , a ordem do filtro. O filtro CIC é um método eficiente em FPGA para realizar a interpolação, visto que é implementado através de operações de soma e deslocamento.

### D. Modulador Sigma-Delta

Sigma Delta ( $\Sigma\Delta$ ) é uma técnica utilizada na conversão D/A que utiliza 1 bit de saída para representar sinais de alta resolução [5]. Atualmente, os conversores  $\Sigma\Delta$  são utilizados em muitas aplicações, por exemplo, filtros FIR/IIR, moduladores AM/FM e multiplicadores [11]. As operações executadas pelo modulador  $\Sigma\Delta$  são basicamente soma e deslocamento, portanto possui baixo custo de processamento em *hardware*. Neste artigo, utiliza-se o modulador Sigma Delta para representar um sinal digital multibit em 1 bit e sua estrutura é ilustrada na Fig. 2. A entrada do modulador é, inicialmente, sobreamostrada (*up-sampler*) e enviada para um *loop-filter*. A sobreamostragem reduz a densidade espectral do ruído de quantização. Já o *loop-filter* realiza a modelagem do ruído (*noise shaping*) através de diferenciadores, integradores e um *feedback*. Na saída do *loop-filter*, é implementado um comparador, que assume o valor máximo (considerado +1) quando sua entrada for positiva e valor mínimo (-1) quando a entrada for negativa [11].

A técnica de modulação  $\Sigma\Delta$  mais usada é a *low-pass sigma-delta modulator* (LPSDM). Nessa técnica, o ruído de quantização é reduzido nas baixas frequências [12] utilizando um valor elevado de frequência de amostragem para a banda desejada. Em [16], a relação entre a banda do LPSDM e a frequência de amostragem é da ordem de 16 vezes. Considerando a faixa de FM (88 MHz-108 MHz) e uma banda de 120MHz, deve-se utilizar uma frequência de amostragem de 1,92 GHz. Tal frequência inviabiliza a implementação do LPSDM nos FPGAs atuais. Contudo, existem moduladores  $\Sigma\Delta$  passa-banda (BPSDM) e passa-alta (HPSDM) que reduzem o ruído de quantização na faixa de FM usando um menor valor de frequência de amostragem ( $f_{sm}$ ). O BPSDM reduz o ruído de quantização em frequências próximas de  $f_{sm}/4$  [13], resultando em  $f_{sm}$  em torno de 392 MHz. Já para o HPSDM pode-se utilizar  $f_{sm}$  próxima de 196 MHz dado que o ruído é reduzido em torno de  $f_{sm}/2$  [14].

## III. MODELO IMPLEMENTADO - FPGA

O Transmissor FM apresentado neste artigo é implementado no FPGA utilizando três algoritmos principais: CORDIC, filtro CIC e HPSDM. O CORDIC é implementado com precisão de 24 bits ( $L=24$ ). O filtro CIC é utilizado como interpolador para aumentar a frequência de amostragem. O HPSDM converte o sinal digital modulado em FM para um sinal analógico. A Fig. 3 ilustra o diagrama de blocos da arquitetura implementada no FPGA, sendo  $f_s$  a frequência de amostragem da mensagem moduladora ( $m[n]$ ).

No bloco Modulador, apresentado na Fig. 3, o Filtro CIC permite aumentar a frequência de amostragem da mensagem  $m[n]$  de  $f_s$  para  $f_{s1}$ , dado por  $kl \cdot f_s$ . A constante  $k_f$  representa o fator de sensibilidade do modulador FM e é utilizada como ganho de  $m[n]$  interpolado por  $kl$ . O CORDIC realiza a modulação em frequência com portadora de 1 MHz. Para realizar tal modulação, os elementos do vetor de entrada do CORDIC ( $\vec{v}_0$ ) recebem  $x_1[n]$  e  $y_1[n]$ , ilustrados na Fig. 3. A frequência de amostragem do CORDIC é dada por  $f_{s1}$ . A entrada  $w_1[n]$  recebe três sinais somados. O primeiro corresponde a da saída do bloco  $k_f$ , o segundo representa o equivalente de  $f_i$  (1 MHz) e o terceiro é  $w_1[n-1]$ . Assim, de acordo com (12) e (13), as saídas do CORDIC são dadas por

$$x_{r1}[n] = K \cos \left[ \frac{2\pi}{f_{s1}} \left( f_i n + \sum_{k=0}^n k_f m[k] \right) \right], \quad (16)$$

$$y_{r1}[n] = K \sin \left[ \frac{2\pi}{f_{s1}} \left( f_i n + \sum_{k=0}^n k_f m[k] \right) \right]. \quad (17)$$

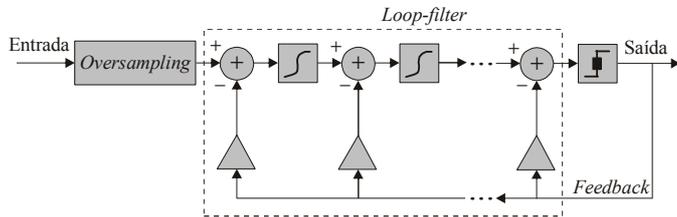


Fig. 2. Diagrama de blocos do sigma-delta.

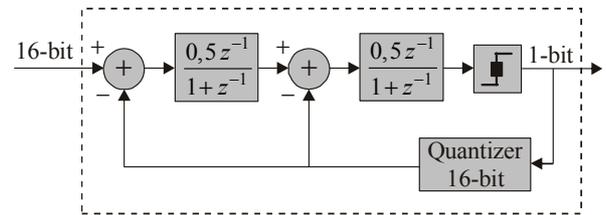


Fig. 4. Diagrama de blocos do HPSDM.

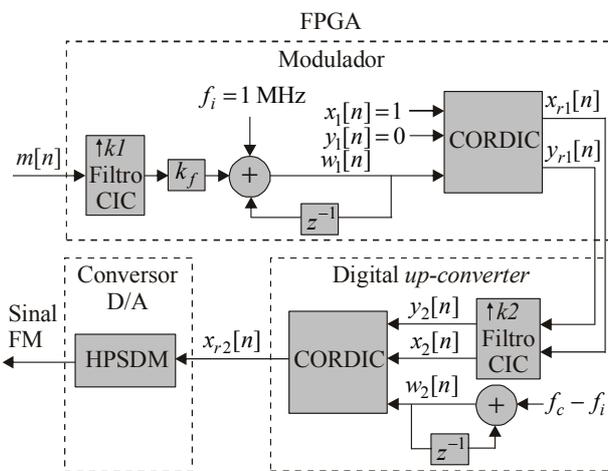


Fig. 3. Diagrama de blocos da arquitetura implementada em FPGA.

As saídas do Modulador ( $x_{r1}[n]$ ,  $y_{r1}[n]$ ) são enviadas ao bloco Digital *up-converter*, conforme mostrado na Fig. 3. O Filtro CIC do Digital *up-converter* aumenta a frequência de amostragem dos sinais  $x_{r1}[n]$  e  $y_{r1}[n]$  por um fator  $k2$ , portanto, os sinais  $x_2[n]$  e  $y_2[n]$  são enviados ao vetor de entrada do CORDIC com uma frequência de amostragem de  $f_{sm}$  ( $k2 \cdot f_{s1}$ ). O CORDIC realiza o deslocamento em frequência de seu vetor de entrada ( $x_2[n]$ ,  $y_2[n]$ ) de  $f_i$  para uma frequência na faixa de FM ( $f_c$ ). Para realizar tal deslocamento, a entrada  $w_2[n]$  do CORDIC recebe  $(f_c - f_i)$  acumulado a cada ciclo de *clock*. Portanto, de acordo com (12), a saída  $x_{r2}[n]$  é dada por

$$x_{r2}[n] = K \left\{ x_2[n] \cos \left[ \frac{2\pi}{f_{sm}} (f_c - f_i) n \right] - y_2[n] \sin \left[ \frac{2\pi}{f_{sm}} (f_c - f_i) n \right] \right\}. \quad (18)$$

Considerando o equivalente em tempo contínuo de (18) e utilizando identidades trigonométricas, obtém-se

$$x_{r2}(t) = K^2 \cos \left[ 2\pi f_c t + 2\pi k_f \int_0^t m(\alpha) d\alpha \right]. \quad (19)$$

Comparando (1) e (19), conclui-se que o sinal  $x_{r2}(t)$  corresponde à mensagem  $m(t)$  modulada em FM com uma portadora de  $f_c$  Hertz.

A saída do Digital *up-converter* é enviada ao bloco Conversor D/A, que converte o sinal multibit de entrada para 1 bit de saída, através da modulação  $\Sigma\Delta$ . A técnica  $\Sigma\Delta$  passa-alta foi utilizada porque reduz o ruído de quantização na faixa de frequência FM para o menor valor de frequência de amostragem ( $f_{sm}$ ). Considerando a faixa de 88-108 MHz do FM, o valor escolhido para  $f_{sm}$  deve ser entre 176 MHz e 216 MHz. A Fig. 4 ilustra o diagrama de blocos do HPSDM utilizado [14].

#### IV. RESULTADOS

O transmissor FM digital foi descrito em Verilog no ambiente Quartus II (ALTERA). O FPGA escolhido é o EP4CE6E22C8N, que é o dispositivo de menor custo e recursos da família Cyclone IV. Os testes experimentais foram realizados no kit de baixo custo EP4CE6 mini-board [15]. A frequência máxima de operação obtida foi de 350 MHz e os resultados de ocupação no dispositivo considerado são apresentados na Tabela I.

TABELA I  
OCUPAÇÃO DO TRANSMISSOR FM NO EP4CE6E22C8N

	Usado	Total	Percentual
Total de elementos lógicos	5,545	6,272	88%
Total de funções combinacionais	5,382	6,272	86%
Registros lógicos dedicados	3,548	6,272	57%
Total de bits de memória	69,632	276,48	25%
Total de PLLs	2	2	100%

Observa-se na Tabela 1 que é possível sintetizar uma instância do modulador FM no dispositivo de menor custo e recursos da família Cyclone IV.

##### A. Resultados de Simulação

O transmissor FM é simulado no *software* Modelsim-Altera e as saídas  $x_{r1}[n]$ ,  $x_{r2}[n]$  e Sinal FM, apresentadas na Fig. 3, são salvas em um arquivo externo. Na simulação, a mensagem  $m[n]$  é um tom de 500 Hz amostrado com  $f_s$  de 48 kHz,  $k_f$  é escolhido de modo que a variação de frequência ( $\Delta f$ ) seja 75 kHz e,  $k1$ ,  $k2$  e  $f_c$  são, respectivamente, 100, 40 e 95.1 MHz. Nessas condições, as saídas  $x_{r1}[n]$  e  $y_{r1}[n]$  são amostradas em 4.8 MHz ( $f_{s1}$ ) e as saídas  $x_{r2}[n]$  e Sinal FM, em 192 MHz ( $f_{sm}$ ). O arquivo externo, salvo em simulação, foi exportado para MATLAB e utilizado para validar o funcionamento do transmissor FM em simulação. A Fig. 5 ilustra o espectrograma da saída  $x_{r1}[n]$  e as Figs. 6 e 7 mostram o espectro das saídas  $x_{r2}[n]$  (Fig. 6) e Sinal FM (Fig. 7), normalizado por  $f_{sm}$ .

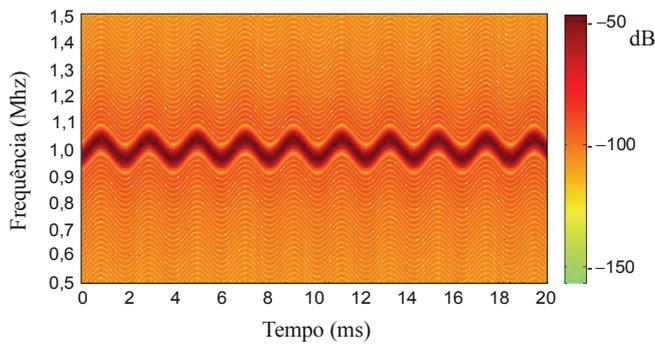


Fig. 5. Espectrograma da saída  $x_{r1}[n]$ .

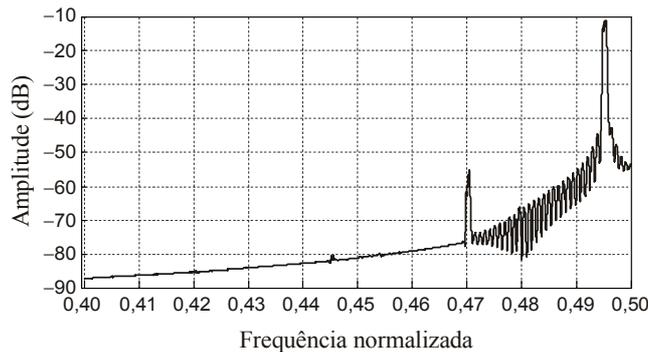


Fig. 6. Espectro da saída  $x_{r2}[n]$ .

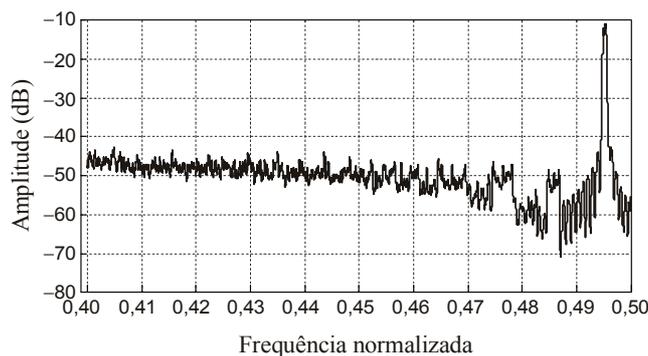


Fig. 7. Espectro da saída Sinal FM.

A Fig. 5 ilustra o espectrograma do sinal modulado com portadora de 1 MHz e  $\Delta f$  da ordem de 75 kHz. Portanto, de acordo com a fórmula de Carson [6], a largura de banda é da ordem de 151 kHz ( $B_{FM} \cong 2(\Delta f + B)$ ). Já as Figs. 6 e 7 mostram o espectro da entrada e saída do HPSDM, respectivamente. Observa-se nessas figuras que a portadora é de 95.1 MHz ( $\cong 0,495 f_{sm}$ ) e que o ruído de quantização gerado no HPSDM foi espalhado nas frequências inferiores à da portadora.

### B. Resultados Experimentais

Os testes experimentais são realizados considerando a mensagem e os valores de  $f_s$ ,  $k_f$ ,  $k1$ ,  $k2$  e  $f_c$  da simulação. Foram realizados três testes: No primeiro, é analisado o espectro da saída Sinal FM, ilustrada na Fig. 3. No segundo teste, é analisado o espectro de um tom recebido em um rádio comercial e, no terceiro, é realizado um teste simplificado do áudio recebido no rádio comercial. Para realizar o segundo teste, o tom recebido no rádio comercial é externado em um computador para a análise espectral. A Fig. 8 ilustra o resultado do primeiro teste e a Fig. 9, o do segundo.

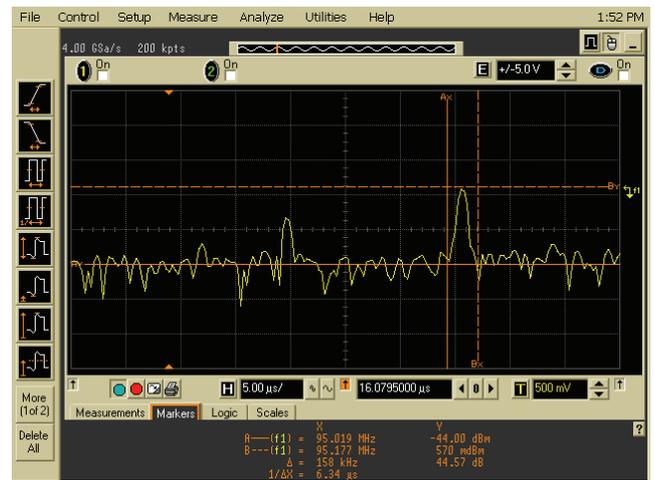


Fig. 8. Espectro do tom modulado.

Observa-se na Fig. 8 que a portadora é de 95.1 MHz. A razão entre o nível de amplitude máxima do sinal modulado e do ruído na saída do transmissor FM é de 44.57 dB. A Fig. 9 mostra que a mensagem recebida pelo rádio comercial corresponde ao tom de 500 Hz, enviado pelo transmissor. Por último, é realizado um teste simplificado para avaliar de forma subjetiva o áudio recebido em um rádio comercial, após sua transmissão pelo sistema implementado. A frequência escolhida da portadora na transmissão é 90.1 MHz. O rádio é sintonizado nessa frequência e o áudio recebido foi considerado adequado.

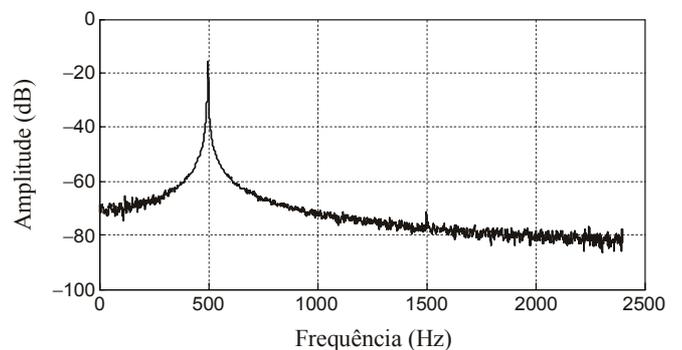


Fig. 9. Espectro do tom recebido em um rádio comercial.

### V. COMENTÁRIOS E CONCLUSÕES FINAIS

Neste trabalho, uma nova forma de implementação de um transmissor FM totalmente digital foi apresentada. A abordagem proposta considera os algoritmos CORDIC, filtro CIC Interpolador e HPSDM. O CORDIC e o CIC são utilizados para implementar o modulador FM e o HPSDM para a conversão D/A. O algoritmo HPSDM foi escolhido entre os moduladores  $\Sigma\Delta$  por exigir o menor valor de frequência de amostragem, permitindo a síntese do transmissor no FPGA alvo. Em contraste com implementações tradicionais, que consideram um DSP/FPGA e chips externos para deslocamento em frequência e conversão D/A, a implementação proposta realiza essas operações em apenas um único FPGA. O transmissor FM é sintetizado no kit EP4CE6 mini-board e seu funcionamento é avaliado através de simulações e experimentos. Os resultados obtidos mostram o funcionamento adequado do transmissor FM.

## REFERÊNCIAS

- [1] H. C. Miranda, F. S. Sousa, and R. M. Oliveira, "SoftFM: An all-digital stereo FM transmitter with RDS based on software radio architectures," in *Proc. ConfTele-National Telecommunications Conference*, Figueira da Foz, Portugal, Apr. 2001, pp. 1-5.
- [2] C. Bernal, P. M. Gaudó, and A. Mediano, "Direct DDFS FM modulator with baseband interpolator," in *Proc. IEEE International Symposium on Circuits and Systems*, Paris, France, Jun. 2010, pp. 3000-3003.
- [3] I. Hatai and I. Chakrabarti, "A new high-performance digital FM modulator and demodulator for software-defined radio and its FPGA implementation," *International Journal of Reconfigurable Computing*, vol. 2011, pp. 1-10, Sept. 2011.
- [4] S. Hasan, K. Lee, and S. W. Ellingson, "FM waveform implementation using an FPGA-based digital IF and a Linux-based embedded processor," Virginia Tech., Blacksburg, VA, Rep. 12, 2006.
- [5] E. Janssen and A. V. Roermond, *Look-Ahead Based Sigma-Delta Modulation*. Springer Netherlands, 2011, pp. 5-28.
- [6] B. P. Lathi, *Modern Digital and Analog Communication Systems*, 3rd ed., Osece. Oxford University Press, 1998, pp.10-12, 208-209, and 221.
- [7] S. A. Kumar, V. P. Brahmaiah, and L. D. Teja, "Universal modulator using CORDIC algorithm for communication application," *International Journal of Advances in Engineering & Technology*, vol. 6, no. 6, pp. 2480-2488, Jan. 2014.
- [8] P. K. Meher, J. Valls, T. B. Juang, K. Sridharan, and K. Maharatna, "50 years of CORDIC: Algorithms, architectures, and applications," *IEEE Trans. Circuits and Systems I*, vol. 56, no. 9, pp. 1893-1907, Jun. 2009.
- [9] N. Neji, A. Boudabous, W. Kharrat, and N. Masmoudi, "Architecture and FPGA implementation of the CORDIC algorithm for fingerprints recognition systems," in *Proc. IEEE Int. Conf. Systems, Signals and Devices (SSD)*, Sousse, Tunisia, Mar. 2011, pp. 1-5.
- [10] E. Hogenauer, "An economical class of digital filters for decimation and interpolation," *IEEE Trans. Acoustics, Speech And Signal Processing*, vol. 29, no. 2, pp. 155-162, Apr. 1981.
- [11] S. S. Abeysekera and C. Charoensak, "FPGA implementation of a sigma-delta ( $\Sigma$ - $\Delta$ ) architecture based digital IF stage for software radio," in *Proc. 15th Annual IEEE Int. Conf. ASIC/SOC*, Rochester, NY, Sep. 2002, pp. 341-345.
- [12] J. D. Reiss, "Understanding sigma-delta modulation: The solved and unsolved issues," *Journal of the Audio Engineering Society*, vol. 56, no. 1/2, pp. 49-64, Jan. 2008.
- [13] S. A. Jantzi, M. Snelgrove, and P. F. Ferguson Jr, "A 4th-order bandpass sigma-delta modulator," *IEEE Journal of Solid State Circuits*, vol. 38, no. 3, pp. 282-291, May. 1992.
- [14] V. T. Nguyen, H. Petit, P. Loumeay, and J. F. Naviner. "High-Pass Sigma-Delta Modulator," Acessado em fev/2016, [http://www.cecs.uci.edu/~papers/date07\\_universitybooth/Sessions/Session7/S72.pdf](http://www.cecs.uci.edu/~papers/date07_universitybooth/Sessions/Session7/S72.pdf).
- [15] Altera Corporation, *Altera EP4CE6 Mini-Board Hardware User's Guide*.
- [16] C.-Y. Lu, M. Onabajo, V. Gadde, Y.-C. Lo, H.-P. Chen, V. Periasamy, and J. Silva-Martinez, "A 25 MHz bandwidth 5th-order continuous-time low-pass sigma-delta modulator with 67.7 dB SNDR using time-domain quantization and feedback," *IEEE Journal of Solid State Circuits*, vol. 45, no. 9, pp. 1795-1808, Sept. 2010.