

Projeto e Caracterização de Acopladores para Power Line Communications

Luís Guilherme da S. Costa, Antônio Angelo M. Picorone, Antônio Carlos M. de Queiroz, Vinícius Lagrota R. da Costa, Moisés V. Ribeiro.

Resumo— O presente trabalho discute o projeto de acopladores *Power Line Communications* (PLC) capacitivos com frequências de 9 kHz a 500 kHz e de 1,7 a 500 MHz para redes de baixa tensão. É proposta a utilização da técnica *Microstrip* para o projeto das placas de circuito impresso além de outras escolhas pertinentes ao projeto. Os resultados obtidos baseados nessas escolhas indicam que as sugestões discutidas neste trabalho podem ser aplicadas com bons resultados quanto aos requisitos de segurança e os resultados obtidos na caracterização dos acopladores PLC.

Palavras-Chave— Power Line Communications, acoplador, *Microstrip*.

Abstract— This paper discusses the project of capacitive couplers for Power Line Communications (PLC) in the range frequency of 9 kHz to 500 kHz and 1,7 to 500 MHz for low voltage networks. The use of *Microstrip* technique to design printed circuit boards and other relevant decisions in the project are proposed. The results based on these decisions indicate that the approach discussed in this work can be applied with good results when it comes to matter the safety requirements and the results obtained in the characterization of PLC couplers.

Keywords— Power Line Communications, coupler, *Microstrip*.

I. INTRODUÇÃO

O sistema *Power Line Communication* - (PLC) utiliza a rede de energia elétrica como meio de comunicação de dados. A interligação dos circuitos eletrônicos que constituem o transceptor PLC à rede de energia elétrica é realizada pelo dispositivo denominado acoplador PLC. O acoplador PLC deve garantir a transmissão e a recepção do sinal de dados com largura de banda apropriada e alto nível de segurança para proteger, além do circuito eletrônico do transceptor PLC contra transientes de tensão provenientes da rede de energia elétrica, a integridade física do usuário final contra choques elétricos. Um acoplador PLC típico é, geralmente, composto por circuitos que desempenham as funções de proteção elétrica, isolamento galvânica, filtragem analógica passa-baixa e casamento de impedâncias. O projeto do acoplador PLC deve ser cuidadosamente elaborado, considerando as características inóspitas da rede de energia elétrica, tais como, impedância de acesso variante no tempo, tensão de operação da rede de energia elétrica e perturbações dependentes do tempo [1].

Luís G. S. Costa, Moisés V. Ribeiro e Vinícius L. R. Costa, Universidade Federal de Juiz de Fora, Juiz de Fora-MG, Brasil, E-mails:(luis.guilherme, mribeiro, vinicius.lagrota)@engenharia.ufjf.br. Antonio A. M. Picorone, Centro de Ensino Superior de Juiz de Fora, Juiz de Fora-MG, Brasil, E-mail: picorone@pucminas.cesjf.br. Antônio C. M. Queiroz, Universidade Federal do Rio de Janeiro, Rio de Janeiro-RJ, Brasil, E-mail: acmq@coe.ufrj.br.

Alguns trabalhos discutem o projeto de acopladores PLC para redes de baixa tensão (BT) banda larga com banda de frequência entre 1,7 a 100 MHz [2] e banda estreita, de 3 a 500 kHz [3]. Entretanto, existe uma lacuna na literatura quanto ao projeto de acopladores PLC com frequências superiores a 100 MHz.

Considerando que o projeto adequado do acoplador PLC leva à sistemas PLC que exploram ao máximo as potencialidades da rede de energia elétrica como meio de comunicação de dados, este trabalho discute alguns elementos que devem ser cuidadosamente considerados no projeto de tais acopladores, mais especificamente, em acopladores PLC capacitivos, *Single Input Single Output* - (SISO) para redes de BT nas faixas de frequência de 9 kHz a 500 kHz e de 1,7 a 500 MHz. Além disso, este trabalho também difere das citadas anteriormente no que diz respeito ao projeto de acopladores capacitivos utilizando a técnica *Microstrip* no projeto das placas de circuito impresso.

Os resultados obtidos indicam que as escolhas discutidas neste trabalho quanto aos componentes envolvidos no projeto do acoplador PLC, somada à técnica de *Microstrip* aplicada ao projeto de acopladores PLC com frequências de até 500 MHz, podem ser aplicados com bons resultados.

Este trabalho está assim organizado: a Seção II discute as características e os elementos de projeto de acopladores PLC que devem ser considerados. Além disso, o projeto da proteção elétrica, isolamento galvânica, filtro analógico passa-baixa e casamento de impedância. Na Seção III são apresentados os resultados obtidos através da medição dos parâmetros S do acoplador. Finalmente, a conclusão e direcionamento futuro desse trabalho são apresentados na Seção IV.

II. PROJETO DE ACOPLADOR PLC

De uma forma geral, as características que devem ser perseguidas durante o projeto de um acoplador PLC podem ser resumidas em:

- Máxima isolamento galvânica entre entrada e saída;
- Eliminação rápida de transientes elétricos provenientes da rede de energia elétrica;
- Filtragem analógica passa-baixa adequada na banda de frequência do sistema PLC;
- Baixa perda por inserção e por retorno.

Baseado nessas características a Figura 1 mostra o circuito eletrônico utilizado neste trabalho para o projeto de acopladores PLC capacitivos, SISO, para redes de BT nas faixas de frequências entre 9 kHz e 500 KHz e de 1,7 a 500 MHz.

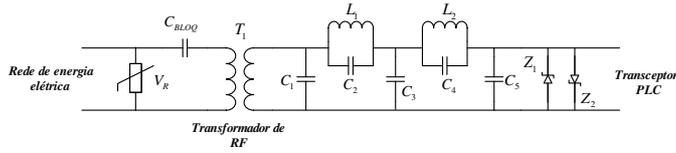


Fig. 1. Circuito eletrônico do acoplador PLC.

A. Proteção Elétrica

O projeto da proteção elétrica é realizado dividindo a tarefa em dois estágios. O primeiro estágio de proteção, V_R na Figura 1, é conectado diretamente à rede de energia elétrica e tem a função de eliminar os surtos de tensão provenientes dessa rede. Duas possibilidades de escolhas para o primeiro estágio de proteção elétrica são: os varistores (*Voltage Dependent Resistor*) - VDR e os centelhadores a gás. Para acopladores PLC que trabalham com frequências menores do que 30 MHz, essa escolha não é crítica, exceto pelo fato do centelhador a gás ter maior vida útil e maior capacidade de condução de corrente do que os varistores. Entretanto, para acopladores PLC que trabalham com frequências maiores do que 30 MHz, o centelhador a gás é o mais indicado, pois tem a vantagem de ter baixa capacitância, interferindo menos na resposta em frequência do acoplador. O segundo estágio de proteção elétrica, Z_1 e Z_2 na Figura 1, é responsável pelo grampeamento da tensão no transceptor PLC. Esse estágio normalmente faz uso de um diodo Zener para acopladores PLC de até 30 MHz. Para frequências maiores do que 30 MHz, a capacitância intrínseca do diodo Zener interfere significativamente na resposta em frequência do acoplador PLC e, neste caso, deve-se eliminar esse segundo estágio de proteção.

B. Isolação Galvânica

A isolamento galvânica é realizada por um transformador de rádio frequência (RF), T_1 na Figura 1. Alguns fabricantes de transformadores de RF disponibilizam as informações sobre os parâmetros desses componentes. Com isso, a escolha de T_1 deve ser realizada considerando os valores da perda de retorno, perda de inserção e resposta em frequência.

A perda de retorno e de inserção estão relacionadas com a eficiência na transferência de potência entre gerador e carga. A máxima transferência de potência ocorre quando a impedância de um gerador e de uma carga assumem valores complexos conjugados iguais. Nesse caso, o gerador e a carga são ditos casados. Uma consequência do descasamento de impedância é que parte da potência transmitida retorna para a fonte, acarretando em uma perda de potência conhecida como perda de retorno. Por outro lado, a perda de inserção é a perda de potência do sinal resultante da inserção de um dispositivo entre um gerador e uma carga. Se o circuito inserido entre a fonte e a carga representar um circuito aberto ou curto-circuito, a perda de inserção alcança o valor máximo, pois nenhuma potência será entregue à carga. Assim, se o circuito estiver casado com a fonte e a carga, a perda de inserção torna-se nula. As perdas de retorno referente a porta 1 e porta 2 e de inserção da porta 2 para a porta 1, em dB, podem ser definidas

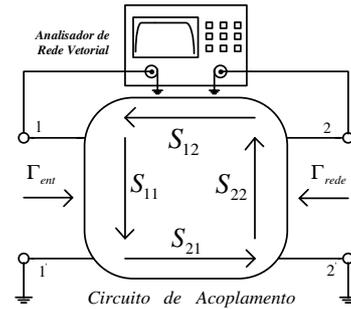
em termos dos parâmetros de espalhamento (parâmetros S), dadas, respectivamente, por

$$R_{11} = -20 \log_{10} S_{11} \quad (1)$$

$$R_{22} = -20 \log_{10} S_{22} \quad (2)$$

$$I_{21} = -20 \log_{10} S_{21} \quad (3)$$

A Figura 2 mostra um dispositivo de duas portas simples (*Device Under Test*) - DUT, que representa o acoplador PLC e os parâmetros S associados aos seus respectivos fluxos de potências.


 Fig. 2. Quadripolo representado por parâmetros S .

Embora a relação de transformação de T_1 possa ser utilizada para auxiliar no casamento de impedância, refletindo a impedância do secundário para o primário, neste projeto utiliza-se transformadores de RF com relação de transformação de 1:1, pois admiti-se que tanto a impedância da rede de energia elétrica quanto a impedância do transceptor PLC sejam iguais.

C. Filtragem

A faixa de frequência de funcionamento do acoplador PLC é definida por dois filtros analógicos concatenados. O primeiro, um filtro passa-alta de primeira ordem, C_{BLOQ} na Figura 1, que tem a função de atenuar significativamente a frequência de 60 Hz da rede de energia elétrica. Esse filtro define o limite inferior da banda de funcionamento do acoplador PLC. O segundo filtro analógico, neste caso sendo elíptico passa-baixa de 5ª ordem, é formado pelos capacitores C_1 a C_5 e indutores L_1 e L_2 na Figura 1. A opção pelo filtro elíptico no projeto de acopladores deve-se ao fato de que a aproximação elíptica tem pólos de atenuação na banda de rejeição, é uma função racional com pólos que devem ser escolhidos para produzir característica *equiripple* na banda de rejeição e zeros finitos. O pólo mais próximo da borda da banda de rejeição aumenta a inclinação na banda de transição significativamente. Portanto, a aproximação elíptica conduz a uma ordem mais baixa do que as outras aproximações, resultando em filtros com um menor número de componentes e realizações de menor custo. A ordem do filtro pode ser determinada pelo projetista de acordo com a seletividade desejada. Filtros mais seletivos demandam em menor frequência de amostragem nos conversores analógico/digital no transceptor PLC e conseqüentemente, exibem uma maior perda de inserção. Filtros elípticos de 5ª ordem mostraram ser apropriados para acopladores PLC para as faixas de frequências de 9 kHz a 500 MHz [4].

D. Casamento de Impedância

O casamento de impedância dos acopladores PLC com a rede de energia elétrica é o ponto mais crítico do projeto. A impedância característica da rede de energia elétrica é seletiva em frequência e no tempo. Sua magnitude geralmente aumenta com a frequência, podendo variar de alguns ohms até algumas centenas de ohms [5]. Sua variabilidade temporal está relacionada com o regime de funcionamento das cargas conectadas ao barramento de energia elétrica. Cada vez que um equipamento é ligado ou desligado da rede de energia elétrica, a impedância característica dessa rede sofre alteração. O acoplador PLC ótimo deve se adaptar à variação temporal e espectral da impedância no ponto de acesso a rede de energia elétrica afim de garantir a máxima transferência de potência entre o transceptor PLC e o canal de comunicação. Caso se adote no projeto do acoplador PLC uma impedância diferente da impedância de acesso à REE, é de se esperar que haja um aumento na perda de inserção e na perda de retorno. Devido a dificuldade de se projetar tais circuitos de acoplamentos adaptativos, frequentemente, se utilizam acopladores com desempenho sub ótimos, que consideram a magnitude da impedância característica da rede de energia elétrica invariante no tempo e na frequência.

Assim, por questões de simplicidade, e considerando que o projeto do filtro é de baixa sensibilidade, ou seja, variações relativamente grandes são toleráveis, neste trabalho foi considerado que tanto a magnitude da impedância de acesso à REE, quanto a magnitude da impedância do transceptor PLC possuem o mesmo valor e valem 50Ω . Com isso, a discussão a respeito do casamento de impedância neste trabalho recai sobre o projeto da impedância característica da Placa de Circuito Impresso (PCI), que recebe os componentes eletrônicos do acoplador PLC. Essa impedância deve ser projetada para possuir a mesma magnitude da impedância da rede de energia elétrica e do transceptor PLC.

E. Placa de Circuito Impresso

O estudo do comportamento dos sinais elétricos nas PCI torna-se especialmente importante em projetos eletrônicos de circuitos de alta frequência, pois, os efeitos eletromagnéticos nas estruturas da PCI tornam-se perceptíveis. Trilhas comportam-se como indutâncias parasitas, enquanto trilhas próximas representam capacitâncias parasitas. O projeto de circuitos que trabalham com sinais de alta frequência deve prever, sempre que possível, a utilização de trilhas curtas e evitar curvas acentuadas.

Os efeitos danosos à integridade do sinal começam a ser relevantes a partir de 100 MHz ou em tempos de subida menores que 1 ns [6]. Com o aumento da frequência em um condutor, a corrente elétrica tende a fluir pela periferia do condutor, denominado efeito pelicular. Eventos como descasamento de impedância e efeitos indutivos nas trilhas da PCI aumentam a impedância do condutor em altas frequências, aumentando a atenuação e alterando a resposta em frequência do circuito.

Para minimizar o efeito do descasamento de impedância e consequentemente, reduzir o tempo de propagação do sinal na PCI, reflexões de sinal e atenuações, algumas técnicas

provenientes do estudo de linhas de transmissão (LT) são utilizadas. Uma dessas técnicas é denominada de *Microstrip*, que consiste em projetar a largura da trilha em uma face da placa com o plano de terra na outra face para controle da impedância. A impedância característica da LT, que no nosso caso representa a trilha da PCI, pode ser obtida por [7]

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln \frac{5,98h}{0,8W + T} \quad (4)$$

em que W é a largura e T a altura da trilha da PCI, ambas em milímetros, h é a altura do material dielétrico em milímetros e ϵ_r a constante dielétrica do material isolante da PCI, conforme identificados na Figura 3. De um modo geral, o uso do plano

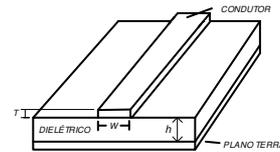


Fig. 3. Estrutura *Microstrip* para LT.

terra é sempre vantajoso, pois diminui a emissão de sinais espúrios que originam as interferências eletromagnéticas e indutâncias parasitas [7]. No projeto de acopladores PLC, para o cálculo da largura da trilha deve-se obter ϵ_r da PCI disponibilizada pelo fabricante ou através de medidas. Por exemplo, uma medida realizada com o Analisador de Impedância E4491 da Agilent em uma placa de fibra de vidro em que $h = 1,5 \text{ mm}$, indicou $\epsilon_r = 6$. Com essa PCI, baseado em (4), com a altura da trilha de $T = 0,1 \text{ mm}$, pode-se obter uma trilha com a impedância característica $Z_0 = 50,28 \Omega$ se for adotado $W = 2,2 \text{ mm}$. A Figura 4 mostra o protótipo do acoplador PLC para 100 MHz cuja a PCI foi desenvolvida utilizando-se a técnica de *Microstrip*.



Fig. 4. Protótipo do acoplador PLC de 100 MHz.

F. Influência dos componentes no desempenho do acoplador

Com o aumento da frequência, os componentes passivos reais, não possuem o mesmo comportamento quando sujeitos à baixa frequência. Com o aumento da frequência, os módulos da reatância X_L de um indutor ideal aumenta e de um capacitor ideal X_C , diminui, conforme

$$X_L = j\omega L, \quad X_C = \frac{1}{j\omega C}, \quad (5)$$

em que L é a indutância C a capacitância e ω a frequência angular.

No entanto, o comportamento de componentes reais não é linear, ou seja, não respondem linearmente com a variação da frequência de acordo com (5).

No projeto do filtro analógico do acoplador, duas características dos indutores e capacitores devem ser avaliadas para se evitar componentes que não respondam adequadamente às faixas de frequências do projeto: frequência de autoressonância (*Self Resonant Frequency*) - SRF e o circuito equivalente para RF que mostra a impedância do componente em função da frequência. A SRF indica o ponto em que a reatância indutiva do circuito equivalente do componente analisado é igual a sua reatância capacitiva $X_L = X_C$, ou seja, quando o componente analisado se comporta como um resistor ideal. Essas características podem ser obtidas consultando-se o *datasheet* disponibilizado pelos fabricantes. A Figura 5 ilustra as curvas de SRF, o módulo da impedância equivalente Z e o fator de mérito Q de um indutor axial de $39 \mu\text{H}$ avaliadas com um Analisador de Impedância E4491 da Agilent. No gráfico, a curva azul mostra a impedância do indutor em teste, a curva vermelha o valor da indutância e a curva verde o fator de qualidade Q desse componente. Pode-se observar que apenas em uma pequena porção da banda de frequência, aproximadamente, de 1 a 6 MHz, o indutor apresenta uma variação linear da impedância, o que concorda com (5). A figura também indica que até 13,36 MHz o componente se comporta como um indutor (curva vermelha). Por outro lado, para frequências superiores à SRF, o componente tem comportamento capacitivo. Portanto, esse indutor apenas seria adequado para utilização em acopladores PLC de até, aproximadamente, 10 MHz. Para frequências maiores, deve-se recorrer ao uso de componentes para montagem em superfície (*Surface Mount Device*) - SMD, observando se o componente é indicado para a faixa de frequência de interesse verificando a sua SRF.

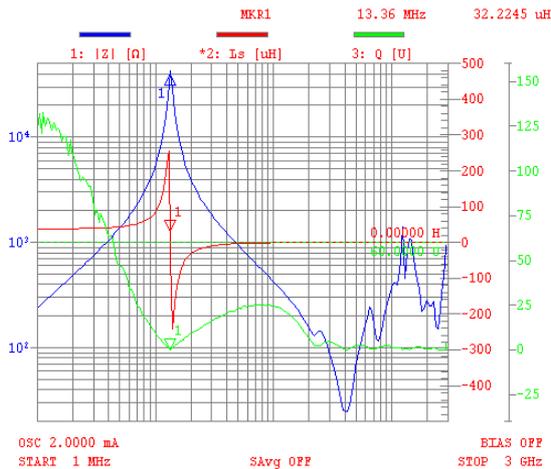


Fig. 5. SRF de um indutor axial de $39 \mu\text{H}$.

Devido, principalmente, às imperfeições na fabricação dos componentes e as características estocásticas da rede de energia elétrica, o desempenho do acoplador PLC deve ser considerado analisando-o como um único componente, ou seja, como um quadripolo. A Seção III apresenta os resultados obtidos com alguns acopladores PLC desenvolvidos considerando em

seus projetos os tópicos discutidos nessa Seção. II. Esses resultados caracterizam o acoplador PLC.

III. CARACTERIZAÇÃO DO ACOPLADOR PLC

A caracterização dos acopladores PLC foi realizada utilizando-se quatro protótipos construídos, conforme discutido na Seção II e identificados em função da sua faixa de frequência: acoplador PLC banda estreita (aPLC₁) de 9 kHz a 500 kHz e os acopladores banda larga (aPLC₂) de 1,7 a 50 MHz, (aPLC₃) de 1,7 a 100 MHz e (aPLC₄) de 1,7 a 500 MHz. O projeto de todos os protótipos foram realizados considerando a impedância de acesso à rede de energia elétrica e do transceptor PLC iguais a 50Ω . Os filtros foram projetados através do software *Advanced Design System* (ADS) da Agilent. A Tabela I apresenta as especificações dos protótipos de acopladores PLC testados. Com exceção de T_1 e V_R , todos os demais componentes são SMD.

TABELA I
ESPECIFICAÇÕES DOS ACOPLADORES PLC

	aPLC ₁	aPLC ₂	aPLC ₃	aPLC ₄
Banda (MHz)	0,009-0,5	1,7-50	1,7-100	1,7-500
V_R (Vrms)	230	230	230	230
Z_1, Z_2 (V)	3,3	3,3	-	-
T_1 (MHz)	0,005-100	0,005-100	0,005-100	0,15-500
C_{BLOQ}	330 nF	1,5 nF	1,5 nF	1,5 nF
C_1	10 nF	100 pF	47 pF	6,2 pF
C_2	6,8 nF	10 pF	5,6 pF	3,3 pF
C_3	2,2 nF	130 pF	62 pF	8,2 pF
C_4	15 nF	33 pF	15 pF	1,2 pF
C_5	10 nF	82 pF	43 pF	5,1 pF
L_1	10 μH	180 nH	91 nH	12 nH
L_2	15 μH	150 nH	68 nH	15 nH

As curvas dos parâmetros S associadas aos acopladores PLC foram obtidas com o Analisador de Rede Vetorial E5016B (5 Hz a 3 GHz) da Agilent. A Figura 6 ilustra a distorção na resposta em frequência provocada pelo uso do varistor e dos diodos Zener no acoplador PLC para a banda de frequência de 1,7 a 100 MHz. Quando se utiliza apenas o protetor a gás no circuito do acoplador, a banda de passagem pode ser considerada plana até, aproximadamente, 100 MHz. Por outro lado, devido a alta capacitância parasita dos varistores e diodos Zener, a resposta em frequência dos acopladores que os utilizam apresentam grandes atenuações dentro da banda de passagem, reduzindo a frequência de corte do acoplador para, aproximadamente, 35 MHz.

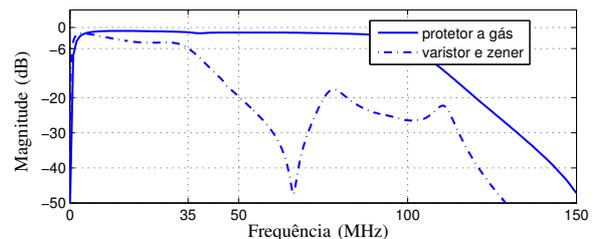


Fig. 6. Distorção da resposta em frequência do acoplador PLC de 100 MHz.

As Figs. 7, 8, 9 e 10 ilustram as perdas de inserção S_{12} e perdas de retorno S_{11} e S_{22} dos acopladores PLC. Os valores

das perdas de inserção S_{21} dos acopladores foram omitidos, posto que $S_{21} = S_{12}$, uma vez que as impedâncias da fonte e da carga são iguais.

A Figura 7 é referente ao acoplador PLC banda estreita aPLC₁, cujo ponto de meia potência foi medido em 528 kHz.

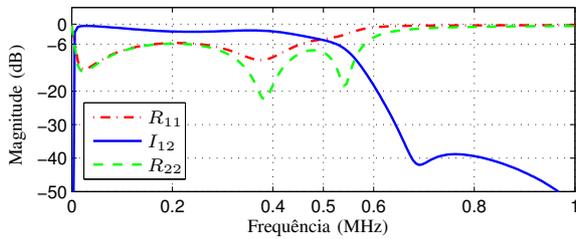


Fig. 7. Perda de inserção e retorno do acoplador PLC de 9 a 500 kHz (aPLC₁).

A frequência de corte do acoplador aPLC₂ foi estimada em 50,25 MHz. As curvas referentes aos parâmetros S desse acoplador estão ilustradas na Figura 8.

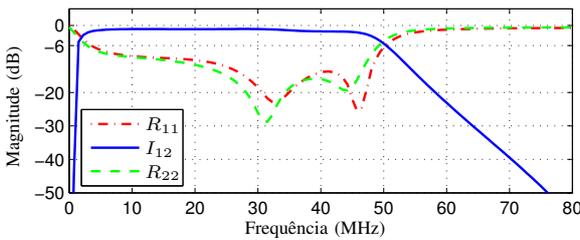


Fig. 8. Perda de inserção e retorno do acoplador de 1,7 a 50 MHz (aPLC₂).

As Figs. 9 e 10 mostram os valores das perdas de inserção e retorno dos acopladores aPLC₃ e aPLC₄, respectivamente. As frequências de corte estimadas são 101 MHz para aPLC₃ e 520 MHz para aPLC₄.

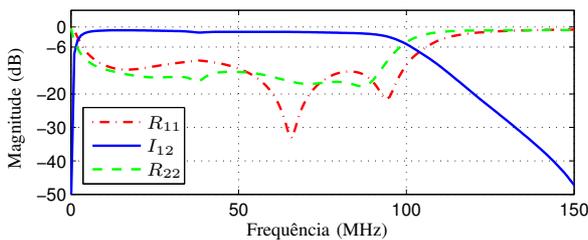


Fig. 9. Perda de inserção e retorno do acoplador de 1,7 a 100 MHz (aPLC₃).

Finalmente, pode-se observar nas Figs. 7, 8, 9 e 10 que todos os acopladores projetados apresentam atenuação de, pelo menos, 40 dB na banda de rejeição e uma resposta plana na banda de passagem, características extremamente interessantes para o uso em sistemas PLC.

IV. CONCLUSÕES

Foram discutidas as características e os elementos mais relevantes para o projeto de acopladores PLC capacitivos, SISO, para BT e nas faixas de frequências de 9 kHz a 500

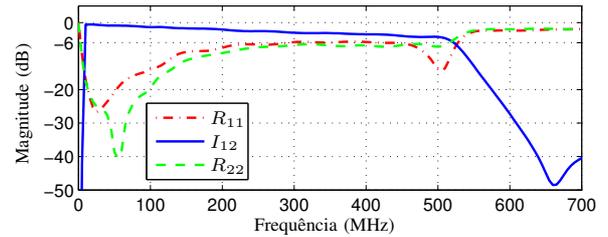


Fig. 10. Perda de inserção e retorno do acoplador de 1,7 a 500 MHz (aPLC₄).

MHz. O presente trabalho sugere que o uso de filtros elípticos de 5^a ordem é adequado para realizar acopladores PLC de 500 MHz. Além disso, sugere que para acopladores PLC para frequências superiores a 30 MHz devem ser escolhidos como proteção elétrica o protetor a gás em detrimento ao varistor e diodo zener. O presente trabalho propõe, também, o uso da técnica de *Microstrip* para melhorar a transferência de potência entre a rede de energia elétrica e o transceptor PLC, além de minimizar a emissão de espúrios. O trabalho também destacou a importância da análise dos parâmetros SRF dos componentes, afim de se obter um melhor desempenho do acoplador PLC. Finalmente, foram apresentados e analisados os protótipos de acopladores PLC para as faixas de frequências de 9-500 kHz, 1,7-50 MHz, 1,7-100 MHz e 1,7-500 MHz baseado-se nos elementos discutidos neste trabalho os quais foram projetados. Os resultados obtidos indicam que as sugestões apontadas neste trabalho resultam em acopladores PLC que possuem respostas em frequência planas dentro da banda de passagem e atenuações maiores do que 40 dB na banda de rejeição. A partir desse ponto, o desafio futuro é desenvolver um acoplador PLC com impedância adaptativa com o intuito de maximizar a transferência de potência entre transceptores PLC e à rede de energia elétrica.

AGRADECIMENTOS

Os autores agradecem o apoio no desenvolvimento dos trabalhos à P&D ANEEL, FINEP, CAPES, FAPEMIG, Smarti9, CEMIG e INERGE.

REFERÊNCIAS

- [1] R. Araneo, S. Celozzi, and G. Lovat, "Design of impedance matching couplers for power line communications," in *Proc. International Symposium on Electromagnetic Compatibility*, Aug. 2009, pp. 64–69.
- [2] O. Bilal, E. Liu, Y. Gao, and T. O. Korhonen, "Design of broadband coupling circuits for power line communications," in *Proc. International Symposium on Power Line Communications*, Mar. 2004, pp. 128–132.
- [3] H. Ferreira and P. Van Rensburg, "Coupling circuitry: Understanding the functions of different components," *7th International Symposium in Power Line Communications and Its Applications*, Mar. 2003.
- [4] L. G. da Silva Costa, "Circuitos de acoplamento para transceptores PLC," Dissertação de Mestrado, Universidade Federal de Juiz de Fora, Feb. 2012.
- [5] P. Van Rensburg, H. Ferreira, and A. Snyders, "Coupler winding ratio selection for effective power transfer to a power-line communications receiver," in *International Symposium on Power Line Communications and Its Applications*, 2006, pp. 290–295.
- [6] V. P. R. Magri, "Integridade de Sinais em Placas de Circuito Impresso de Altas Taxas," Dissertação de Mestrado, Pontifícia Universidade Católica - RJ, Ago. 2007.
- [7] M. I. Montrose, "Emc and the printed circuit board: Design, theory and layout made simple," in *IEEE Press Series on Electronics Technology and Wiley Interscience*, 2004.